

DIALOG(R)File 347:JAPIO

(c) 2001 JPO & JAPIO. All rts. reserv.

04192151

DISPLAY SYSTEM AND DISPLAY METHOD

PUB. NO.: **05-183851** [JP 5183851 A]

PUBLISHED: July 23, 1993 (19930723)

INVENTOR(s): POORU EMU AABANUSU
JIEFURII BII SANPUSERU

APPLICANT(s): TEXAS INSTR INC <TI> [000741] (A Non-Japanese Company or
Corporation), US (United States of America)

APPL. NO.: 04-080051 [JP 9280051]

FILED: April 01, 1992 (19920401)

PRIORITY: 7-678,761 [US 678761-1991], US (United States of America),
April 01, 1991 (19910401)

INTL CLASS: [5] H04N-005/74; G09G-003/20; H04N-009/31

JAPIO CLASS: 44.6 (COMMUNICATION -- Television); 44.9
(COMMUNICATION -- Other)

DIALOG(R)File 352:Derwent WPI
(c) 2001 Derwent Info Ltd. All rts. reserv.

009206110 **Image available**

WPI Acc No: 1992-333531/199241

Related WPI Acc No: 1996-041934; 1996-041935; 1996-041936

XRPX Acc No: N92-254583

**PWM display system with DMD architecture - has tuner isolating video component of
standardised composite audio-video decimation processor converting component for use in
spatial light modulator**

Patent Assignee: URBANUS P M (URBA-I); TEXAS INSTR INC (TEXI)

Inventor: SAMPSELL J B; URBANUS P M

Number of Countries: 011 Number of Patents: 014

Patent Family:

Patent No	Kind	Date	Applicat No	Kind	Date	Week	
EP 507270	A1	19921007	EP 92105601	A	19920401	199241	B
CA 2063744	A	19921002	CA 2063744	A	19920323	199251	
JP 5183851	A	19930723	JP 9280051	A	19920401	199334	
CN 1068232	A	19930120	CN 92102359	A	19920331	199347	
US 5278652	A	19940111	US 91678761	A	19910401	199403	
			US 9335525	A	19930323		
TW 226513	A	19940711	TW 92107231	A	19920915	199431	
US 5339116	A	19940816	US 91678761	A	19910401	199432	
			US 9335525	A	19930323		
			US 93137650	A	19931015		
US 5523803	A	19960604	US 91678761	A	19910401	199628	
			US 9335525	A	19930323		
			US 93137650	A	19931015		
			US 94255610	A	19940608		
EP 507270	B1	19970723	EP 92105601	A	19920401	199734	
CN 1115935	A	19960131	CN 95109221	A	19950811	199741	
CN 1115936	A	19960131	CN 95109222	A	19950811	199741	
DE 69220998	E	19970904	DE 620998	A	19920401	199741	
			EP 92105601	A	19920401		
US 5745193	A	19980428	US 91678761	A	19910401	199824	
			US 9335525	A	19930323		
			US 93137650	A	19931015		
			US 94255610	A	19940608		
			US 95482542	A	19950607		
KR 253106	B1	20000501	KR 925328	A	19920331	200126	

Priority Applications (No Type Date): US 91678761 A 19910401; US 9335525 A 19930323; US 93137650 A 19931015; US 94255610 A 19940608; US 95482542 A 19950607

Cited Patents: EP 206178; EP 261897; US 4680579

Patent Details:

Patent No	Kind	Lan	Pg	Main IPC	Filing Notes
EP 507270	A1	E	18	H04N-003/12	

Designated States (Regional): DE FR GB IT NL

CA 2063744	A		H04N-005/74	
JP 5183851	A		H04N-005/74	
CN 1068232	A		H04N-005/66	
US 5278652	A	21	H04N-005/00	Cont of application US 91678761
TW 226513	A		H04N-013/04	
US 5339116	A	22	H04N-005/00	Cont of application US 91678761 Div ex application US 9335525 Div ex patent US 5278652
US 5523803	A	21	H04N-005/74	Cont of application US 91678761 Div ex application US 9335525 Div ex application US 93137650 Div ex patent US 5278652 Div ex patent US 5339116
EP 507270	B1	E 16	H04N-003/12	
Designated States (Regional): DE FR GB IT NL				
CN 1115935	A		H04N-003/14	
CN 1115936	A		H04N-003/14	
DE 69220998	E		H04N-003/12	Based on patent EP 507270
US 5745193	A	20	G02F-001/00	Cont of application US 91678761 Div ex application US 9335525 Div ex application US 93137650 Div ex application US 94255610 Div ex patent US 5278652 Div ex patent US 5339116
KR 253106	B1		G02F-002/00	

Abstract (Basic): EP 507270 A

The display system comprises a receiver (20) capable of receiving standardised composite audio and video signal, the tuner (22) for isolating the video component, a light source, and the decimation processor (28) for converting the video component into a set of signals for use with the spatial light modulator unit. A memory storage unit (32) stores the signals. A spatial light modulator array is controlled by the stored signals which modulates the light to produce an image which is projected by an optics system (38). An integrated circuit chip comprises an array of spatial light modulator elements divided into subarrays. The circuit has an array of decoders, with at least one decoder for every one of the subarrays and an array of input registers with at least one for every one of the subarrays. ADVANTAGE - Provides better resolution with manageable data rate and bandwidth. Versatile and adaptable. Dwg.1/12

Title Terms: PWM; DISPLAY; SYSTEM; ARCHITECTURE; TUNE; ISOLATE; VIDEO; COMPONENT; STANDARD; COMPOSITE; AUDIO; VIDEO; DECIMATE; PROCESSOR; CONVERT; COMPONENT; SPACE; LIGHT; MODULATE

Index Terms/Additional Words: DEFORMABLE; MIRROR; DEVICE

Derwent Class: P81; P85; W03; W04

International Patent Class (Main): G02F-001/00; G02F-002/00; H04N-003/12; H04N-003/14; H04N-005/00; H04N-005/66; H04N-005/74; H04N-013/04

International Patent Class (Additional): G02B-027/00; G06F-015/62; G09G-003/20; H04N-005/44; H04N-009/31

File Segment: EPI; EngPI

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平5-183851

(43) 公開日 平成5年(1993)7月23日

(51) Int.Cl. ⁵	識別記号	庁内整理番号	F I	技術表示箇所
H 0 4 N 5/74	K	9068-5C		
G 0 9 G 3/20	Z	8621-5G		
H 0 4 N 9/31	B	8943-5C		

審査請求 未請求 請求項の数2(全24頁)

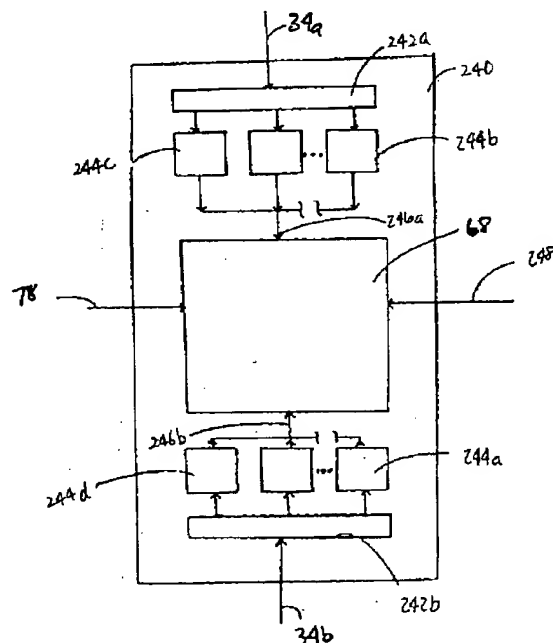
(21) 出願番号	特願平4-80051	(71) 出願人	590000879 テキサス インストルメンツ インコーポ レイテッド アメリカ合衆国テキサス州ダラス, ノース セントラルエクスプレスウェイ 13500
(22) 出願日	平成4年(1992)4月1日	(72) 発明者	ポール エム. アーバヌス アメリカ合衆国テキサス州ダラス, アパー トメント ナンバー 1914, ベント ツリ ー フォーリスト サークル 16000
(31) 優先権主張番号	678761	(72) 発明者	ジェフリー ビー. サンプセル アメリカ合衆国テキサス州プラノ, プエブ ロ コート 2005
(32) 優先日	1991年4月1日	(74) 代理人	弁理士 浅村 皓 (外3名)
(33) 優先権主張国	米国 (U S)		

(54) 【発明の名称】 表示システム及び表示方法

(57) 【要約】

【目的】 DMD集積回路を使用し空間光変調する高解像度テレビジョン表示システムとそのバーストデータ速度を低下する一方、合理的システム速度を維持する表示方法を提供する。

【構成】 映像信号に応じて光源光を空間光変調して可視像に変換するDMD集積回路チップ(68)の上側、下側半部DMDサブアレイに、それぞれ、フレームメモリ装置からの入力データバス(34a)、(34b)を、デマルチプレクサ(124a)、(124b)、FIFOバッファ(120a)~(120b); (120c)~(120d)を経由して接続し、線路(78)からの線路選択信号、線路(126)からのフレームリセット信号で両サブアレイを互いに独立にかつブロックに分割して制御する。前記フレームメモリ装置のメモリセルアレイの行を同時にアドレス指定する、ビット期間分割又はATR方法を適用する。



【特許請求の範囲】

【請求項1】 a) 標準化複合音声及び映像信号を受信する能力のある受信機と、

b) 映像成分を分離する同調器と、

c) 空間光変調装置と使用されるために前記映像成分を信号の集合に変換するデシメーションプロセッサと、

d) 前記信号を記憶するメモリ装置と、

e) 光源と、

f) 映像を生成するために前記光源からの光を変調するように前記記憶された信号によって制御される空間光変調器アレイと、

g) 前記映像を投射する光学系と、

を含む表示システム。

【請求項2】 各ビット有意レベルがフレーム時間全体の適当な部分にわたり表示されるようにメモリセルの内容を表示画素上にアドレス指定するステップとローディングするステップとを含むデータ表示方法。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は、光変調器、特に、これらの変調器を使用するシステムに対するアドレス指定及びタイミング技術に関する。

【0002】

【従来の技術】2進光変調器は、2つの状態を有する。“0”に対応する状態は、光を伝送しない。“1”に対応する他の状態は、どんなシステムが構想下であろうとこれに最大強度で光を伝送する。短く云うと、これらの変調器は、オフ又はオンのいずれかの状態をとる。その結果、その観察者にとって、黒か最大輝度かの、2つの離散レベルのみが存在する。画素オンオフ状態変化中の中間レベルは、比較的短い持続時間であるために、無視される。その観察者によって知覚されるような光の（アナログに近い）中間レベルを達成するためには、パルス幅変調（以下、PWMと称する）技術が、採用される。

【0003】基本的なPWM方式は次のようである。アナログ映像がその観察者に提示される速度を、決定する。これからフレーム速度（周波数）及び相当するフレーム時間を確立する。例えば、標準テレビジョンシステムにおいては、映像は30フレーム/sの速度で伝送され、各フレームは約33.2ms間続く。

【0004】1つの映像要素（以下、画素と称する）を写像する、フレーム又は映像内の各サンプル点ごとの強度量子化が、達成される。6ビットの量子化を仮定すると、これは、64のうち63が非ゼロであるその64のうちの1に当たる部分を意味する。この例においては、33.3msのフレーム時間を63分割した時間が、タイムスライスに等しい。結果のタイムスライス、すなわち、最下位ビット（以下、LSBと称する）時間は、33.3ms/63、すなわち、528.6μsに等しい。

【0005】これらの時間の確立が済むと、その観察者の見るあらゆる可能なアナログ画素強度が、黒は0タイムスライス、最大輝度63タイムスライスと云うように、尺度化及び量子化される。これらの尺度化及び量子化強度は、画素に対してオン時間をセットし、したがって、画素はそれに相当する数のLSB時間にわたりオンしている。最も簡単な場合、ゼロより多い値を有する全ての画素は、1フレーム時間の開始においてオンにターンされ、かつこれらの画素は、これらに関連するアナログ強度に相当する数のLSB時間にわたりオンを維持する。その観察者の眼は、最大強度の点を積分し、したがって、あたかもこれらの点が時間的に一定アナログレベルの光であるかのように見えるであろう。

【0006】この方式を使用する2進変調器高精度テレビジョン（HDTV）表示装置に対する最大バースト帯域幅は、次のように計算される。所与のフレーム中の全ての画素が黒と最大輝度との間の強度値を有する最悪の場合を仮定すると、全ての画素はその次のフレームの開始において変化しなければならない。LSB時間は、次のように計算される。

【0007】

水平画素 $H=1,920$

垂直画素 $V=1,080$

強度レベル $I=64$

フレーム速度 $F=30 \text{ フレーム/s}$

色数毎フレーム $R=3$ （各画素は各色を順序に表示する）

【数1】

$$\text{LSB時間} = \frac{1}{F} * \frac{1}{R} * \left[\frac{1}{I-1} \right]$$

【0008】したがって、これらの値に対して、LSB時間は、176.3μsとなる。この時間期間において、2,073,600画素（1,920×1,080）がロードされなければならない。データ速度は、次によって与えられる。

【0009】

【数2】

$$\text{データ速度} = \frac{H * V}{176.37 \mu s}$$

【0010】このデータ速度は、11.76Gビット/sに等しい。このようなシステムを建設するコストは、禁止的高さである。

【0011】有効データ速度を低下させるPWMを実現するには、多くの方法がある。そのデータを、高度に並列な態様でその画素に入力させることができる。例えば、1つの入力シフトレジスタが各々8つの画素の区域に分割され、かつ各シフトレジスタへ1つのオフチップ

データ入力が付加される。1,920の画素に対して、

240のシフトレジスタとなり、これらが共通クロックを共用する。したがって、僅か8クロックパルスを使用して、これら240のシフトレジスタに1行のデータをロードすることができる。この結果、データ速度を1/240に、すなわち、49.1Mビット/sに低下する。

【0012】更に、各シフトレジスタの出力は、並列データラッチを駆動することができる。これらのデータラッチは、これらの入力シフトレジスタが満たされた後にこれらのシフトレジスタの内容を記憶する。これによって、これら入力シフトレジスタは、先行ラッチデータがその画素アレイの選択された行内に記憶されている間に新しい1行のデータを受け入れることが可能となる。その結果、この画素アレイは、入力回路素子の動作速度の1/8の低い速度でアドレスされる。このことは、その画素チップに必要な高速回路素子を限定する。

【0013】この入力シフトレジスタ/並列ラッチ組合わせを、そのアレイの上側と下側に付加することができる。これによって、このアレイの上側半部と下側半部を同時にアドレス指定することが可能になる。したがって、この入力シフトレジスタ/並列ラッチの各セットは、所与のフレーム時間にそのデータの半分を読み取るだけでよい。それゆえ、そのデータ速度は、更に、1/2に低下される。その新しいデータ速度は24.55Mビット/sであるが、しかし、そのピン計数は480である。

【0014】

【発明が解決しようとする課題】このようなアーキテクチャの変更は、その画素アレイへのピン入力データ速度をそのピン計数を増大したことと引き換えに劇的に低下させたけれども、これらの変更はその画素をアドレス指定する方法に制約を課する。単一入力方法は、ランダムアクセスであるが、この型式の修正アーキテクチャはその画素が一時に1行づつアドレス指定されることを必要とする。

【0015】

【課題を解決するための手段】本発明の目的及び利点は、以下に説明される本発明によって提供される可視表示システムによって明白にされ、かつ達成される。本発明のこの表示システムは、その部品として受信機、同調器、及びこの受信機からのデータを観察者に可視可能とする投射システムと光学系を含む。この投射システムは、更に、信号処理装置、デシメーションプロセッサ、メモリ装置、及び光源を有する空間光変調回路を含む。

【0016】その受信データは、或る現存の標準化様式のものであって、この同調器へ送られる。この同調器は、映像信号を分離して、これを信号処理装置へ送り、後者はアナログ-ディジタル変換を実行しかつその信号をエンハンスする。この結果のディジタル信号は、デシメーションプロセッサに送られ、ここでこのメモリ装置

に対する様式に変換される。このメモリ装置は、このデータを受信しかつ1完全フレームが表示準備をされるまでこの信号を保持する。このメモリ装置は、次いで、この記憶されたディジタル信号をその空間光変調器アレイに供給する。この空間光変調器アレイは、このアレイのうちの選択された変調器を偏向させて、その光源からの光を変調する。結果の変調光は、その光学系を通してその観察者へ送られる。

【0017】

【実施例】本発明及びその利点の完全な理解のために、付図と関連する次の説明を参照する。

【0018】図1は、本発明の教示を組み込んだ好適実施例のテレビジョンシステムのブロック線図である。受信機20は、或る標準化様式のテレビジョン信号を受信して、これを同調器22に送る。同調器22は、この信号を音声成分と映像成分に分離する。この信号の音声成分は、これ以上、考慮に入れなことにする。同調器22は、この映像成分、すなわち、映像信号を、信号処理装置23に送り、ここでこの信号にアナログ-ディジタル変換及び他のエンハンスメントを行う。このステップは、ディジタル信号が望まれる場合にのみ必要である。エンハンスされたディジタル信号24は投射システム26へ送られ、後者はデシメーションプロセッサ28、フレームメモリ装置32、変形性ミラーデバイス（以下、DMPと称する）回路36を含む。デシメーションプロセッサ28は、信号24をフレームメモリ装置32用の様式に変換し、変換された信号30を供給する。変換された信号30はフレームメモリ装置32へ送られ、ここで各完全フレームごとのデータが一括されかつ記憶される。1完全フレームが記憶された後、データ34はDMP回路36へ送られ、後者は映像は発生しこれが光学系38を通過して観察者40へ送られる。

【0019】適当なデシメーションプロセッサ28の例が、図2に示されている。エンハンスされたディジタル信号24は、プロセッサ28に、その入力レジスタ27ごとに6ビットサンプルのような或る選択された数のサンプルとして、入る。開示目的上、図示のシステムは、6ビットであり、最上位ビット（以下、MSBと称する）はビット5であり、LSBはビット0である。このような回路は、云うまでもなく、所望のどんなビット数を取り扱うように容易に組み立てられる。

【0020】この6ビットサンプルは、次いで1,920×6ビットシフトレジスタ42へ送られる。シフトレジスタ42が1,920のデータサンプルによって満たされた後、シフトレジスタ42内のデータは、直接接続された“シャドーメモリ”43へ送られ、後者も同じく1,920×6ビットである。シャドーメモリ43は、各行1,920ビットからなる6行のアレイであると考えられる。所与の行内に記憶されたデータビットは、同じ2進重さである。例えば、シャドーメモリ43の行1

5

は1, 920の入力サンプルからのビット0データの全てを含み、行2はこのサンプルからのビット1データの全てを含む、等々である。シャドームモリ43内の各行は、読み出しのために、1:6デコーダ44の出力によって選択される。所望の行は、デコーダ44に入力する3ビット選択信号46によって指定される。シャドームモリ43からの1, 920ビットの選択された行は、次いで、データバス48に印加され、これによってこの行が240の8:1マルチプレクサからなるアレイ52のデータ入力に送られる。水平位置選択用3ビット制御信号50は、同時に全ての8:1マルチプレクサへ送られ、このマルチプレクサは1本の240ビットデータ流信号30を生成する。全て8つの水平位置は、制御信号50によって順序に選択される。

【0021】8:1マルチプレクサに関する本発明の代替実施例は、共通クロック51b及び共通ロード制御51aを備える240の8ビットシフトレジスタを含む。この場合、参照符号52は、マルチプレクサのアレイの代わりにシフトレジスタのアレイを参照する。この場合も、シャドームモリ43からの1, 920ビットの選択された行は、次いで、データバス48に印加され、これによってこの行が240の8:1シフトレジスタのアレイ52のデータ入力に送られる。ロード制御51aは、データバス48の内容をアレイ52の個々の8ビットシフトレジスタ内に記憶させるように作動される。次いで、8つの逐次パルスが共通クロック51b上に印加され、後者はこのシフトレジスタ内のデータ流信号30を出力させる。各水平位置ごとのデータ流信号30は、フレームメモリ装置32へ送られる。

【0022】両実施例において、デシメーションプロセッサ28は、逆写像機能を遂行する。各6ビットの1, 920の入力サンプルは、これらのサンプルが1, 920ビットの6つの出力サンプルとしてアクセスされるように記憶される。これらの6つの出力サンプルは、次いで、多重化されて、その結果、デシメーションプロセッサ28からの出力接続の数を最小化する。この出力多重化は、また、このデータの様式をそのDMD回路の入力データ様式に整合させるように働く。上述の実施例は、単色システム用である。色彩システムを達成するために、そのデシメーションプロセッサ28を、必要に応じて重複させることができる。

【0023】図3aは、フレームメモリ装置32の単色における実現を示す。信号24は、デシメーションプロセッサ28を経由して変換され、かつデータ流信号30としてフレームメモリ装置32に送られた後、2つの映像フレームメモリ56aおよび56bの1つに送られる。もしメモリ56aが現在表示されつつあるならば、データ流信号30は、スイッチ54によってフレームメモリ56b内の場所に送られる。データ流信号30が送られる先のメモリセルアレイ60b内の場所は、アドレ

6

スポインタ58bによって指定される。メモリセルアレイ60bは、個々のサブアレイを含み、これらの1つのサブアレイは61bである。メモリセルアレイ60b内に記憶されつつあるフレームに対する同様の重み（有意性）のデータビットの全ては同じサブアレイに記憶され、これらの1つがサブアレイ61bである。このシステムがメモリ56aの内容の表示を終了したとき、メモリ56bの内容は、メモリセルアレイ60bの出力バス63b及びスイッチ64を経由してこのシステムへ送られる。色彩を持つためには、この方式は、デシメーションプロセッサ28に必要なだけ重複される。

【0024】個々のサブアレイ61bの分解図が図3bに示されている。サブアレイ61bは、小さいセルの行に分割される。行の群57a又は57bは、1映像線のデータを含む。1, 920×1, 080アレイの半分が一時にアドレス指定されるこの実施例においては、行の群57aは線1を表示し、行の群57bは線540を表示する。セル59aは、線1、画素0に対するデータを保持する。セル62aは、線1、画素7に対するデータを保持する。その列内のこれら2つのセル間の残りのセルは、線1に対する画素1~6に対するデータを保持する。同様に、セル59bは、線1、画素8に対するデータを保持する。セル59cは、線1、画素1, 904に対するデータを保持し、セル59dは線1、画素1, 912に対するデータを保持する。線1内の最後の画素、すなわち、画素1, 919はセル62b内に保持される。このデータはバス63bを経由しかつスイッチ64を通り、DMDアレイに送られる。しかしながら、この方式は、図3aに示される個々のサブアレイの各々ごとに、このシステム内の多数の映像線に対して繰り返される。

【0025】色彩システムに対する本発明による他の実施例は、図3cに示されている。その映像信号は、線路24a、24b、及び24cを経由して3つのデシメーションプロセッサ28a、28、及び28cへ供給される。デシメーションプロセッサ28a、28、及び28cは、変換されたデータを線路30a、30b、及び30cに沿ったバス線路65へ送る。バス線路65上のデータは、アドレスポインタ58によって指定されたメモリ場所内へロードされる。ポインタ58は、次いで、メモリセルアレイ60を色によってロードする。レジスタ64aの上側3分の1は色1用であり、中間3分の1は色2用であり、下側3分の1は色3用である。個々のサブアレイ67は、ここに示されている他のサブアレイと同等であって、図3bに詳細に示されたものと類似である。このようにして処理されたデータは、全ての色のDMD回路への順序送付を誘導する。

【0026】DMD集積回路の1実施例が、図4に示されている。フレームメモリ装置32からのデータは、図1のデータ34のバス線路を経由して集積回路チップ6

7

8に送られる。データ34のバス線路は、実際には、2本のバス34a及び34bに分割される。バス34aはこのDMD集積回路チップ68のDMDアレイの上側半部に対するデータを伝送し、バス34bはこのDMDアレイの下側半部に伝送する。このデータは、シフトレジスタ70aに送られる。レジスタ70aが満たされたとき、このデータは並列ラッチ74aへ送られる。線路72aの集合が、シフトレジスタ70a及び並列記憶ラッチ74aのローディングを制御する。データがラッチされた後、このデータは、1,820×1,080の実際のDMDアレイ80の上半分に送られる。これらの変形性ミラー（以下、DMミラー又は単にミラーと称する）下のアドレス指定回路の行は、行デコーダ76aを通して行選択線路78aによって選択される。同時に、同じ動作が、DMDアレイ80の下半部に対して起こる。アレイ80のDMミラーは、アドレス指定されかつ偏向されて、画像を生成し、この映像が光学系を通してその観察者へ送られる。

【0027】この点から、このDMD表示システムは、DMD画素アレイ、入力シフトレジスタ及びラッチ、行選択デコーダを含む。このアーキテクチャを、いま、修正して、図5のブロック形内に示されるように、このDMDの選択されたブロック内の画素の全てを短い時間量内にオフ状態にスイッチすることが可能なようにする。並列記憶ラッチ74は、図5のクリア線路92を含むように修正される。クリア線路92は、作動されると、そのデータにこのDMDアレイ内の列を駆動させて、これらの列をオフ画素位置に相当する状態にセットする。更に、行選択されたデコーダ76を修正していくつかの選択線路を付加し、これらが、90aのような行の1ブロックを同時に選択するように働く。

【0028】画素の1ブロックをオフ状態にセットするために、並列記憶ラッチ74にクリア線路93が作動される。次いで、オフ状態にスイッチされるべき画素行のブロックに対するブロック選択線路84が、作動される。最後に、リセットパルスが個々のビームのDMミラーに印加され、このミラーはそのオフ状態へ偏向される。図5には、行の8つのブロックが示され、かつ所与のブロックの行が連続しているが、この配置に限定される必要はない。ブロックの数を1と設計者の構想する数との間で変えてもよい。また、これらのブロック内の画素の行を、連続配置の代わりに、インタリーブ（又はその他の）配置に接続してもよい。

【0029】最低ピークデータ速度は、所与の重みのビットの全てがこのDMDアレイにロードされなければならない最短時間区間によって決定される。所与のフレームからの同じ2進重みの全てのデータビットの収集は、ビットフレームと称される。6ビットシステムの場合は、フレーム当たり6つのデータビットフレームが存在する。おそらくほとんどの場合、DMD表示システム性

8

能の他の態様を犠牲にすることによって、このピークデータ速度を低下させることが望ましい。図6aおよび図6bに6ビットシステムの場合のタイミング方式が示されている。図6aにおいて、標準化アドレス指定方式の場合のタイミングが、比較値に対して示されている。1フレーム時間の長さは、線96上に示されている。線98はデータ取込みバスであり、それらのパルスは、データビットフレームがデータ取込みバス98上をこのDMDへ転送されつつあることを表示し、またこれらのパルスの欠如はデータ転送が行われていないことを表示する。データ取込みバス98上のこれらのパルス幅は、1LSB時間に等しい。線100は、ビームリセット線路である。このデータがこのDMDに転送された後は、ビームリセット線路100はパルス駆動され、これによって、これらの画素DMミラーが最新ロードされたデータビットフレームによって指定された状態をとる。逐次ビームリセットパルス間の時間量は、最新ロードされたデータビットフレームの2進重みに相当する。図6aは、これらの画素ミラーの状態が時間期間99にわたるデータ最下位ビットフレームに相当し、時間期間99は1LSB時間、すなわち、1タイムスライスに等しいことを示す。時間期間99中、その次のデータビットフレームが完全にロードされなければならない。時間期間99は1ビットフレームがロードされなければならない最短時間区間であるから、時間期間99は、最低バースト速度に対する制約データロード時間である。このDMDが2進ビットフレーム重みの降順にデータビットフレームで以て順序にロードされたけれども、ローディングに当たりビットフレームの任意の順序が実現可能である。

【0030】図6bは、図5に示されたアーキテクチャを使用するアドレス指定のデータ減少方法である。線104aから104hは、図5の各ブロック90aから90hに対するタイミングを示す。図6aにおけるように、線104aから104hは、データ取込みバスを示す。しかしながら、それらのパルスは、データビットフレームの1/8がデータ取込みバス104aから104h上を転送されつつあり、またパルスの欠如はデータ転送が行われないことを表示し、これらのパルス幅は1LSB時間に等しい。8本の異なるデータ取込みバス104aから104hがあるけれども、これらは物理的には同一のデータ取込みバスであり、しかし別々の線として示されているのは、線104aから線104hの各々を図5の対応するブロック90aから90hに概念的に関連させるためである。ビットフレームの1/8が対応するブロックに転送された後、そのビームリセット線路がパルス駆動され、これによってその画素ミラーの状態を所与のブロック90aから90bに対する最新ロードされたデータに対応させる。MSBは、この実施例においては、ビット5、データ106aであるが、これが、最初の8つの連続するLSB時間内にロードアップされ

る。適当な数のLSB時間(6ビットシステムにおけるMSBに対しては、32)の後、参照符号107によって指示されているように、次のMSB106bがこれらのブロックにロードされ、かつ適当な数のLSB時間にわたり保持される。

【0031】この過程は、参照符号94によって指示されるように、ビット2、ブロック4がロードされるまで続く。注意しなければならないのは、ビット4は16LSB時間を有し、ビット3は8LSB時間を有し、ビット2は4LSB時間を有する、と云うことである。したがって、ブロック4、ビット2がロードされた後、ブロック1、ビット2に対する時間はなくなっている。この点から、次の2つの事柄の1つが起こらなければならない。1つの事柄は、ブロック1が、ビット1又は0の状態をとらなければならない。これは、ブロック5~8がそれらのそれぞれのビット2データをいまだロードされていないゆえに、不可能である。他の事柄は、ブロック5~8がロードされる間に、ブロック1内の画素ミラーが少なくとも4LSB時間にわたりターンオフ又はクリアされることである。これは、インパルス102によって示されている。ブロック0をクリアする方法は、図5に示されたアーキテクチャを使用する先に説明されたのと同じように行われる。ブロック0(又はいずれか他のブロック)をクリアするに要する時間量は、1つのブロックをロードするに要する時間のごく小さい部分であり、したがって、その2進時間重み付けは保存される。この方法は、結果的に、ピン当たりピークデータ速度を可なり低下させる。データ速度のこの低下は、8の率であって、かつ図6aに対して図6bにおいては1LSB時間にロードされる線の数は1/8となることから結果する。しかしながら、このシステムの光学出力の効率は低く、これはこのシステムが常時ターンオフされることに原因がある。すなわち、この場合においては、これらの画素は、フレーム時間96内の80LSB時間のうちの17LSB時間にわたり、常時、ターンオフされる。

【0032】先に説明されたブロッククリアリングアーキテクチャ性能を向上することは、可能である。それらのビットをそのチップに送る順序が変更されるならば、同じピークデータ速度を維持しながら、同時に、その光学効率を向上することができる。基本的なPWMアドレス指定から2進PWMアドレス指定への変換を行うとき、1画素の連続オン時間をいくつかの短い2進重み付けかつおそらく不連続オン時間に分割することによって何らの損失も生じないと述べたことを想起されたい。いずれにしても、その全オン時間は、同じである。この論理を1ビットへ更に拡張すると、所与のビット期間に関連するオフ時間もまた連続させておく必要のないことは、明らかである。このことを銘記して、データがこのDMDに送られる順序を、図7に示されるように、再配置する。

【0033】図8において、いま、数MSB時間の中間でいくつかの低順位ビットがこのDMDへ送出され、次いで、これらのMSBが再ロードされると云うことを、注目されたい。この着想は、遊びバス時間を利用することである。或るいくつかのブロックにおいて、ビット5が、異なる3つの時間内にこのDMDにロードされる。これは、ピン当たりデータ速度を上昇するが、ピン当たりデータ速度、つまり、制約因子には影響しない。同時に、オフ画素LSB時間の数が17から8に減少されており、このことが2より大きい率でその光学効率の損失を小さくする。

【0034】線96は、元のフレーム時間である。線98は、標準アドレス指定タイミングである。線108は、元のフレーム時間と8LSB時間との和である。ビットの群化において見られるように、ビット5、データ106aは、8LSB時間にわたりロードされかつ表示される。8LSB時間の後、ビット1、データ106eが2ビットフレーム時間にわたりロードされかつ表示され、これでビット1表示に対する要件を完成する。2LSB時間の後、ビット5、データ106aが、他の16LSB時間にわたり再ロードされかつ表示され、その全表示時間を24LSB時間に増長する。ブロック5~8は、残りの必然的な8LSB時間にわたりビット5データを表示し続け、この間ブロック1~4は1LSB時間にわたりビット0、データ106fを再ロードされる。ビット0は1LSB時間を必要とするのみであるから、ビット5、データ106aはブロック1~4に再ロードされかつ残りの必然的な8LSB時間にわたり保持され、これにリセットパルスが続く。ビット4、データ106bは、次いで、8LSB時間にわたり全てのブロックにロードされる。8LSB時間の後、ブロック1~4はビット4を表示し続け、この間ブロック5~8がロードされかつビット0、データ106fを表示し、したがって、ビット0に対する要件を完成する。ビット4は、次いで、残りのLSB時間にわたりブロック5~8にロードバックされ、表示される。ビット3、データ106cは、次いで、8LSB時間にわたりロードされ、かつ表示され、これにビット2、データ106dが同じく4LSBにわたり続き、全てのビット及びブロックに対する要件を完成する。

【0035】所与のフレーム時間内にリセットパルスが多くあることに関連する影響を回避することが望ましく、それゆえ、これらの潜在的影響を回避するようなDMDアドレス指定方法が望まれる。図8は、1つのこのようなアドレス指定方法であって、全アドレスリセット(以下、TARと称する)方法と呼ばれる。このTAR方法と上に論じたビット期間分割方法との間には、3つの主要な相違がある。

【0036】第一の相違は、TAR方法においてはそのリセットパルスがその画素に印加される前にそのDMD

全体が特定のビットに対するビットフレームデータをロードされるが、他方、ビット期間分割方法はそのDMDの一部(1ブロック)をロードし、次いで、リセットパルスをそのDMD全体に印加する。第二に、TAR方法においては、そのDMD全体が8LSB時間内にロードされる。ビット期間分割方法においては、そのDMD全体が各1ビットフレームずつの8つの時間区間であって、これらを全体として前者と同じフレーム時間になる、時間区間内にロードされる。最後に、TAR方法の場合、ローディングデータと観察データとの間には少量の重複がある。

【0037】図8において、線110は、その観察者の見るものを示している。この観察者は、或る時間期間にわたりオンにあるビット6、データ106aを見、これに続く6ビット時間の半分にわたりビット5、データ106bを見る。このパターンは、ビット2、データ106eとビット1、106fとの間の時点に到達するまで続く。この時点において、これらビットの全ての時間期間が実際にオフになる。この現象は人間の眼の臨界フリッカ周波数より かに高いから、もとより、実際には、この観察者は、これを見ることはできない。適当な時間量の後、ビット1、データ106fが表示され、これに他のオフ期間が続き、次いで、ビット0、データ106gが表示される。

【0038】線112は、データのロードされるタイミングである。ビット6、データ106aは、線110上に示されたビット6に対する表示時間の直前にロードされる。同様に、全てのビットは、線110上の表示時間の直前にロードされる。ロード区間は、各ビットに対して同じである。線114はアドレスリセット線路であり、また、線116はビームセット線路である。アドレスリセットは、アドレス指定された画素だけをリセットする。それらのビームへ送られるリセットパルスの数は、相対的に減少される。このことが、これらのビームの機械的部分の機械的摩耗および裂傷をなくす。

【0039】上に論じた過程を可能とするアーキテクチャの実現は、図9に示されている。図4に示された簡単なDMD集積回路チップ68が、DMD上位階層118の一部となる。バス34a及び34bは、8:128デマルチプレクサ124a及び124bを経由してこの回路内に到来する。結果の信号は、先入れ先出し(以下、FIFOと称する)バッファ120aから120b、及び120cから120dへの16ビット線路に送出される。FIFOバッファ120a~120dの出力は、線路122a及び122bを経由してDMD集積回路チップ68へ転送される。線路78を経由してDMD集積回路チップ68に入る制御信号は線路選択信号であり、線路126を経由して入るのはフレームリセット信号である。

【0040】DMD集積回路チップ68の分解図が、図

10に示されている。バス線路122a及び122bからのデータは、1:8×128マルチプレクサ128a及び128bを経由して上側DMDアレイ80a及び下側DMDアレイ80bに入る。線路選択信号78は、下側DMDアレイ80bに対するデコーダ76bに入る下側線路選択信号78bと、上側DMDアレイ80aに対するデコーダ76aに入る下側線路選択信号78aとに、分割される。線路126上のフレームリセット信号も、また、上側DMDアレイ80aと下側DMDアレイ80bとに、それぞれ、アクセスするように分割される。この改訂アーキテクチャは、上に論じた互いに異なる方式の他、更に多くの他の方式に適合し、このDMDを極めて汎用性かつ融通性とする。

【0041】更に、追加のエンハンスメントを、速度を向上するために上述のアーキテクチャに施すこともできる。このようなエンハンスメントの1つは、正規入力データを選択することも又は一定入力データを選択することもいづれもできるような、データ入力構造を持つことである。このようなエンハンスメントは、図11に示されている。データが単一である正規データ入力の場合は、線路134aから134cを通して供給される入力データマルチプレクサ130aから130bの出力は、そのアレイの列を駆動するために選択される。データが一定である強制データ入力の場合は、線路132a及び132b上のデータがこれらの列に印加される。このデータの選択は、マルチプレクサ136a及び136bによって達成される。これによって、一定データを、強制マルチプレクサ136a、136bの速度及び多数の又は個々の行選択を決定する信号を入力線路138を通して供給される行選択デコーダ76bの速度によって限定される速度で、このDMDアレイの下側アレイ80bの行に印加することが、可能となる。

【0042】このようなエンハンスメントの他の1つは、それらの行を単独で又は群でアドレス指定できるようなデコーダを構成することによって多数の行が同時にアドレス指定されることを可能とする。この群化は、その所与の応用を最大に利するように構成される。それゆえ、この群化は、行のいかなる数及び組合わせをも単一の群としてアドレス指定することができ、かつ群のいかなる数をも規定することができるように、なされる。群のこの規定は、したがって、デコーダの構造を指定する。代替的に、このデコーダは、群は使用者規定することができるようにプログラマブルに作られる。この実現は、図12においてシフトレジスタ入力構造として示されており、この構造は線路134aから134cを通して入力を受信しかつこれを線路140を通してそのDMDに送る入力シフトレジスタ142aから142bを有する。

【0043】本発明について表示システム及びそのアーキテクチャの特定の実施例を説明したが、このような特

定の参照実施例が、先に掲げた特許請求の範囲に記載された限り以外において本発明の範囲を限定するものと考えてはならない。

【0044】以上に説明に関して更に以下の項を開示する。

(1) a) 標準化複合音声及び映像信号を受信する能力のある受信機と、b) 映像成分を分離する同調器と、c) 空間光変調装置と使用されるために前記映像成分を信号の集合に変換するデシメーションプロセッサと、d) 前記信号を記憶するメモリ装置と、e) 光源と、f) 映像を生成するために前記光源からの光を変調するように前記記憶された信号によって制御される空間光変調器アレイと、g) 前記映像を投射する光学系と、を含む表示システム。

【0045】(2) a) サブアレイに分割された空間光変調要素アレイと、b) 各前記サブアレイごとに少なくとも1つのデコーダを有するデコーダアレイと、c) 各前記サブアレイごとに少なくとも1つの入力レジスタを有する入力レジスタアレイと、を含む集積回路チップ。

【0046】(3) 第2項記載の集積回路チップにおいて、前記各サブアレイはブロックに分割され、前記ブロックは前記デコーダアレイを通る線路入力によって選択され、前記ブロックは前記入力レジスタを通る線路によって選択され、前記入力レジスタはシフトレジスタである集積回路チップ。

【0047】(4) 第2項記載の集積回路チップにおいて、前記入力レジスタアレイは前記サブアレイ当たり少なくとも1つのデマルチプレクサを有するデマルチプレクサアレイであり、前記デマルチプレクサは先入れ先出しバッファアレイに電気的に接続され、前記先入れ先出しバッファアレイの有するバッファは第2前記デマルチプレクサアレイに電気的に接続される集積回路チップ。

【0048】(5) 第4項記載の集積回路チップにおいて、前記各サブアレイは他の前記サブアレイから独立に電気信号によってリセットされる集積回路チップ。

【0049】(6) a) デシメーションプロセッサと、b) 前記デシメーションプロセッサに電気的に接続された少なくとも1つの入力バッファと、c) 前記バッファの制御バス出力線路と、d) 少なくとも1つの入力シフトレジスタと、e) 少なくとも1つのメモリセルアレイと、f) 少なくとも1つの出力シフトレジスタと、g) 前記出力シフトレジスタと空間光変調回路との間に電気的に接続された制御バス線路と、含むメモリ装置。

【0050】(7) 第6項記載のメモリ装置において、複数の前記入力バッファを有する入力バッファアレイが存在し、各前記入力バッファはスイッチ可能バスを経由して少なくとも2つの前記入力レジスタに電気的に接続され、前記入力レジスタは各前記コーナターニングメモリに電気的に接続され、前記各コーナターニングメモリは前記出力バッファに電気的に接続され、前記出力バ

ッファは前記空間光変調回路にスイッチ可能バスを経由して電気的に接続されるメモリ装置。

【0051】(8) 第6項記載のメモリ装置において、前記入力バッファアレイの前記入力バッファの全ては1つの前記入力シフトレジスタにバスを経由して電気的に接続され、前記入力バッファの出力は色によって順序に前記バスに載せられ、前記入力シフトレジスタは前記コーナターニングメモリに電気的に接続され、前記各コーナターニングメモリは前記空間光変調回路ヘデータの色ブロック順序を出力するメモリ装置。

【0052】(9) 各ビット有意レベルがフレーム時間全体の適当な部分にわたり表示されるようにメモリセルの内容を表示画素上にアドレス指定するステップとローディングするステップとを含むデータ表示方法。

【0053】(10) 指定された有意レベルのビットの全てが同時にロードされかつ表示されるようにメモリセルの内容を表示画素上にアドレス指定するステップとローディングするステップとを含むデータ表示方法。

【0054】(11) 第10項記載の表示方法において、前記メモリセルの内容が単一でないとき一定データ値が前画素上にロードされるデータ表示方法。

【0055】(12) 第10項記載の表示方法において、前記アドレス指定するステップは前記メモリセルの行を同時にアドレス指定するデコーダの使用を含むデータ表示方法。

【0056】(13) 第10項記載の表示方法において、前記アドレス指定するステップは前記メモリセルの行を同時にアドレス指定しかつ前記行の群を同時にアドレス指定するデコーダの使用を含むデータ表示方法。

【0057】(14) 観察者が見る解像度を向上するためにテレビジョン内の標準装置を空間光変調回路68で置換することが可能である。本発明は、バーストデータ速度を最低化する一方、合理的なシステム速度を維持するためのシステムアーキテクチャ240、前記システムの個々の部品、及び技術を提供する。結果のシステムは、取り扱い可能なデータ速度及び帯域幅で以て高解像度を提供する。

【図面の簡単な説明】

【図1】本発明による好適実施例のテレビジョンシステムのブロック線図。

【図2】図1のシステム内に使用されるのに好適なデシメーションプロセッサの詳細ブロック線図。

【図3】図1のシステム内に使用されるフレームメモリ装置のブロック線図であり、aは、単色フレームメモリ装置の詳細ブロック線図。bは、aのメモリ装置内の個々のメモリセルサブアレイの分解図。cは、色彩フレームメモリ装置の詳細ブロック図。

【図4】図1のシステム内に使用されるDMD集積回路チップのブロック線図。

【図5】図4のDMD集積回路に関する本発明による実

施例のブロッククリヤリングアーキテクチャのブロック線図。

【図6】aは、標準アドレス指定方式のタイミング線図。bは、本発明によるブロッククリヤリングアーキテクチャを使用する、アドレス指定のバーストデータ速度を低下するタイミング線図。

【図7】本発明によるブロッククリヤリングアーキテクチャを使用する、ビット期間分割アドレス指定タイミング線図。

【図8】本発明による全アドレスリセット (TAR) アドレス指定タイミング線図。

【図9】本発明による実施例の、集積回路チップを備えるDMD上位階層のブロック線図。

【図10】本発明による実施例のDMD集積回路チップの分解図。

【図11】本発明による実施例の強制データ及び多数同時行アドレス指定エンハンスメントDMD集積回路チップ内の配置を示すブロック線図。

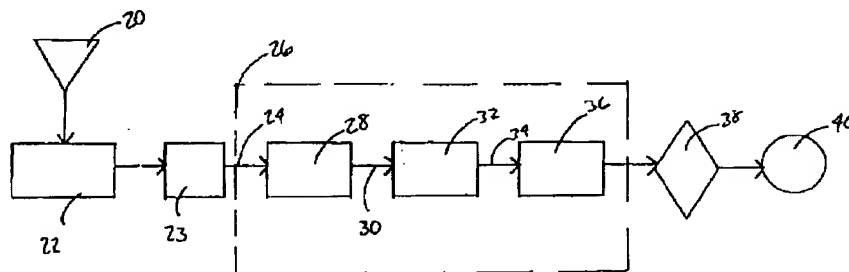
【図12】本発明による代替実施例の強制データ及び多数同時行アドレス指定エンハンスメントDMD集積回路チップ内の配置を示すブロック線図。

【符号の説明】

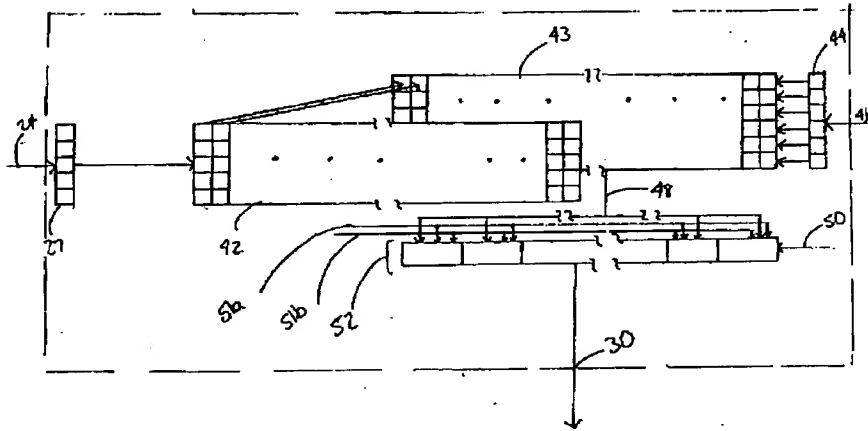
20 受信機
22 同調器
23 信号処理装置
26 投射システム
27 入力シフトレジスタ
28 デシメーションプロセッサ
32 フレームメモリ装置
36 DMD回路
42 シフトレジスタ

43 シャドーマemory
44 デコーダ
48 データバス
51a 共通クロック
51b 共通ロード制御
52 マルチプレクサ又はシフトレジスタアレイ
56 映像フレームメモリ
58 ポインタ
59a~59c メモリセル
60 メモリセルアレイ
60a, 60b メモリセルアレイ
61a, 61b メモリセルサブアレイ
62a, 62b メモリセル
64 スイッチ
67 メモリサブアレイ
68 DMD集積回路チップ
70a, 70b シフトレジスタ
74a, 74b 並列記憶ラッチ
76, 76a, 76b デコーダ
78 線路選択信号線路
80 DMDアレイ
80a, 80b DMDサブアレイ
84 ブロック選択線路
90a, 90b DMDブロック
92, 93 クリヤ線路
120a~120d FIFOバッファ
124a, 124b デマルチプレクサ
126 フレームリセット信号
130a, 130b 入力データマルチプレクサ
30 136a, 136b 強制マルチプレクサ

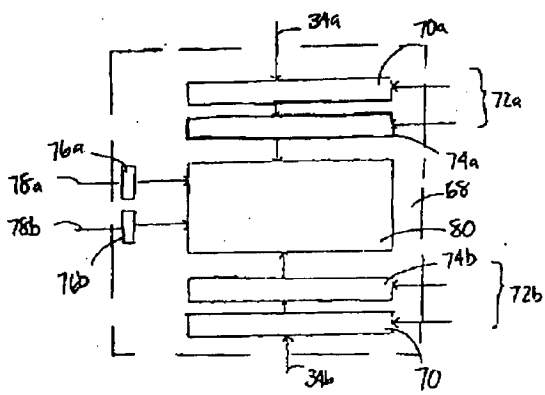
【図1】



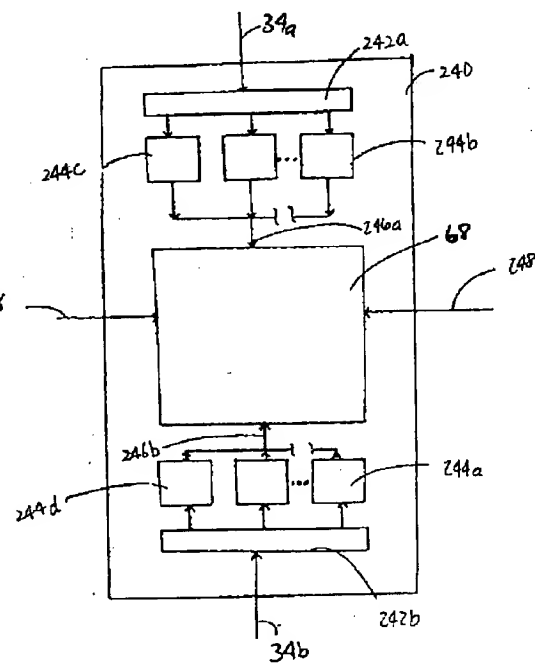
【図2】



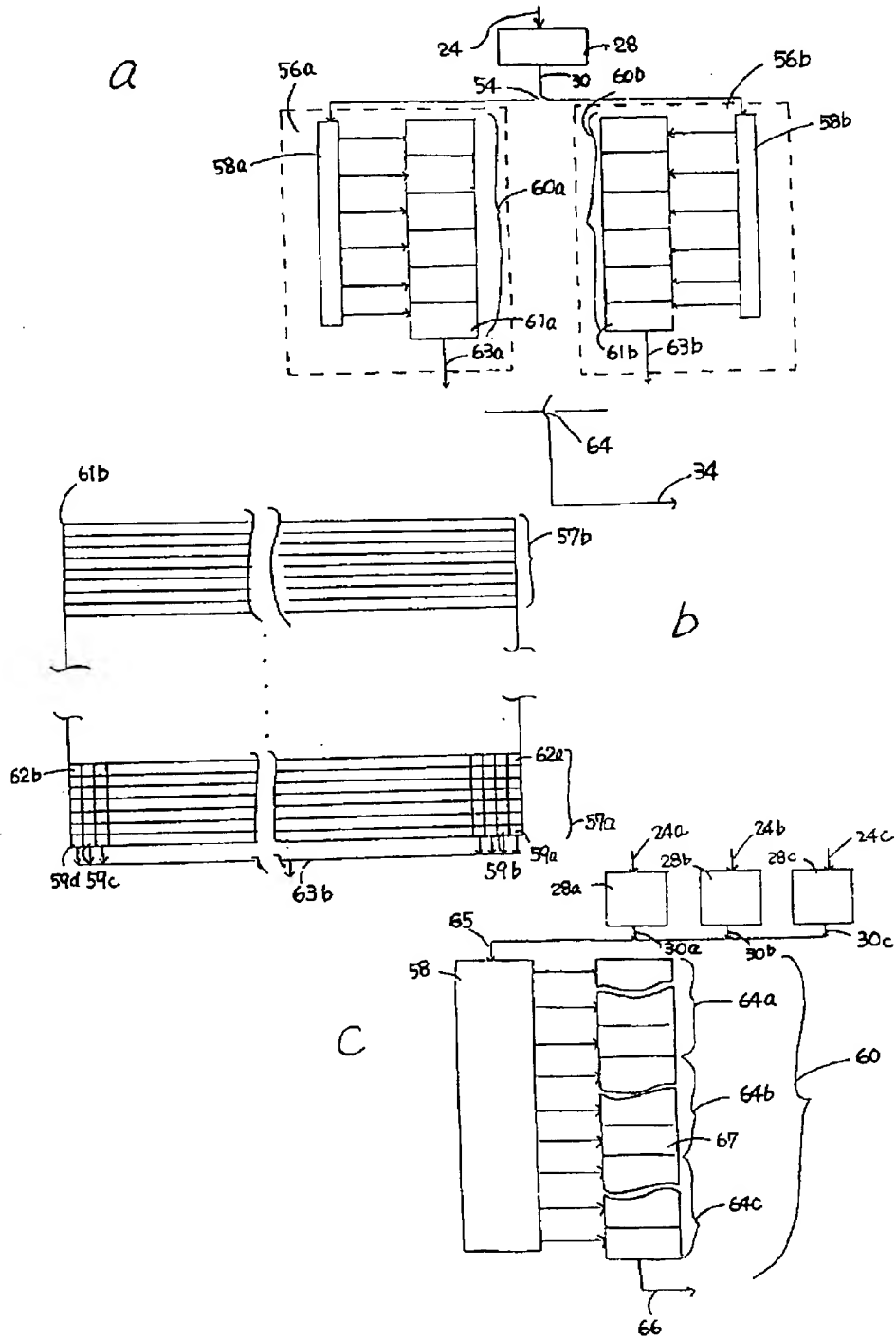
【図4】



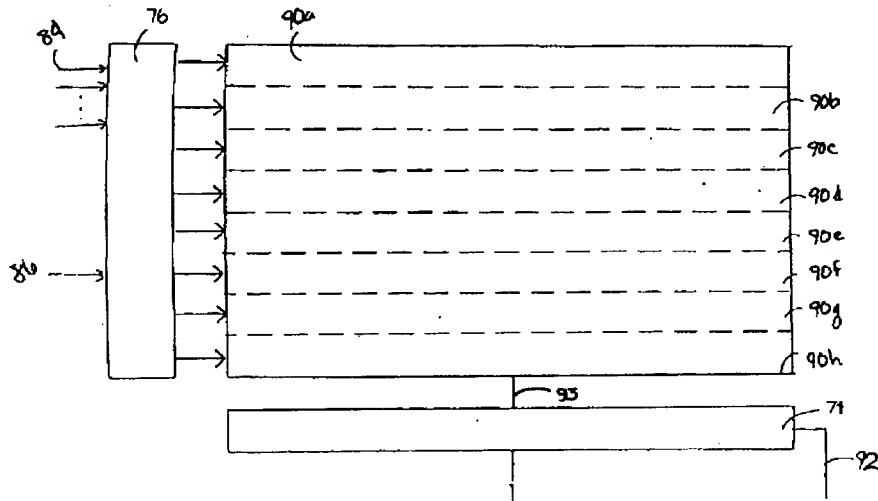
【図9】



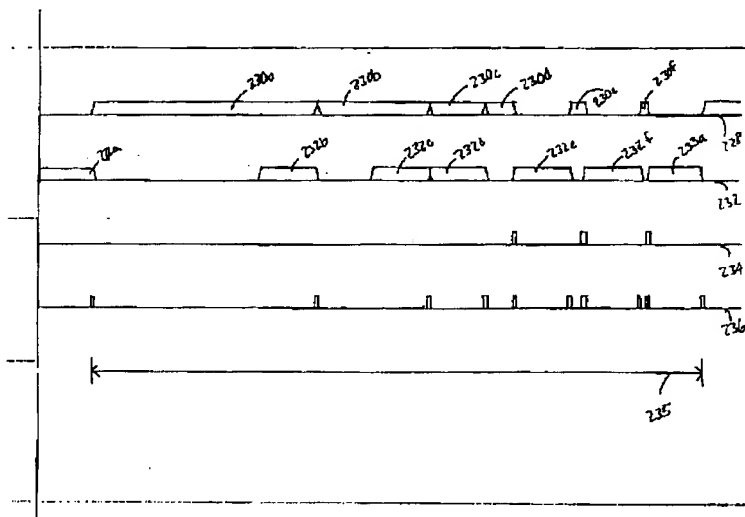
【図 3】



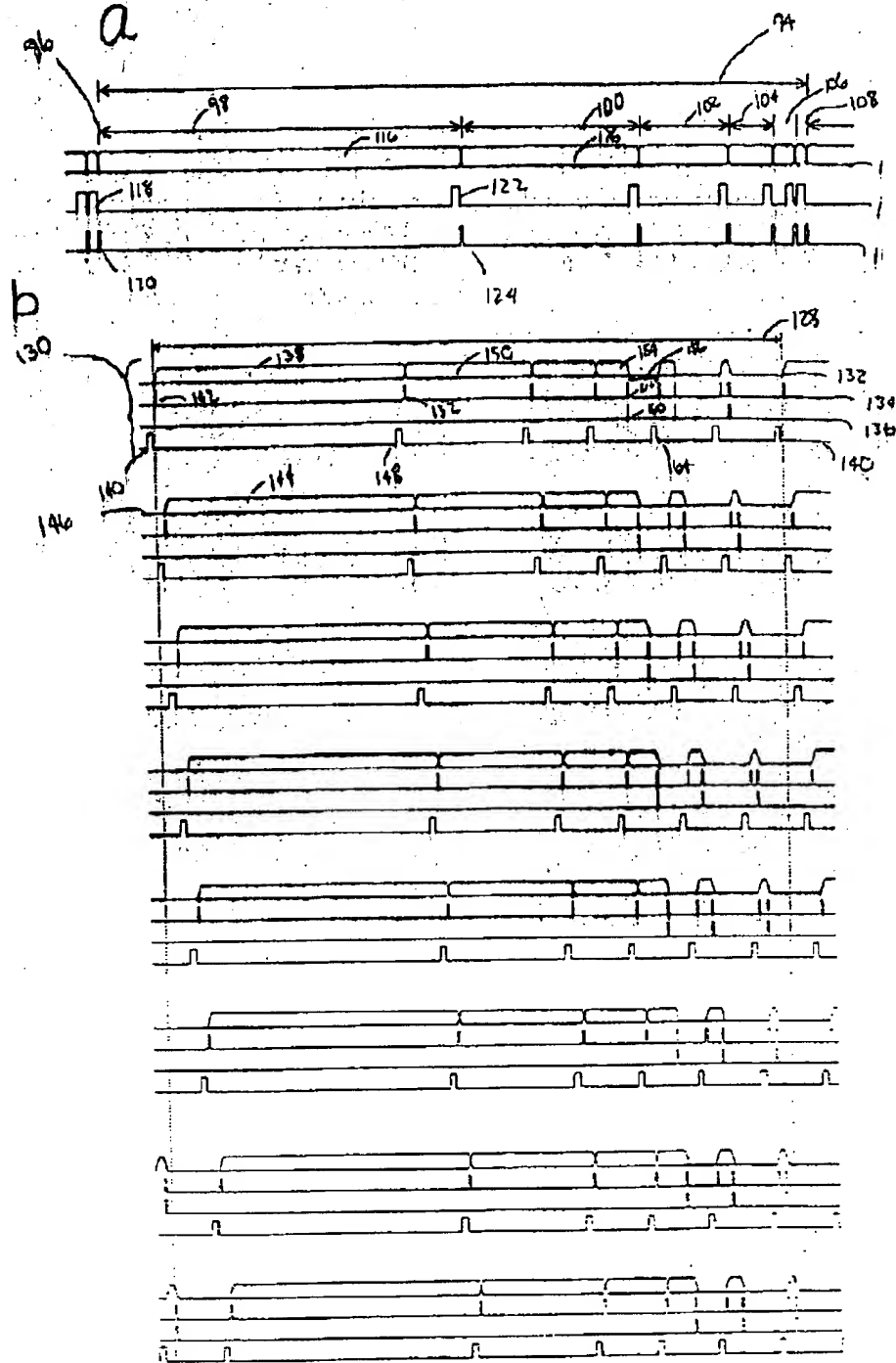
【図5】



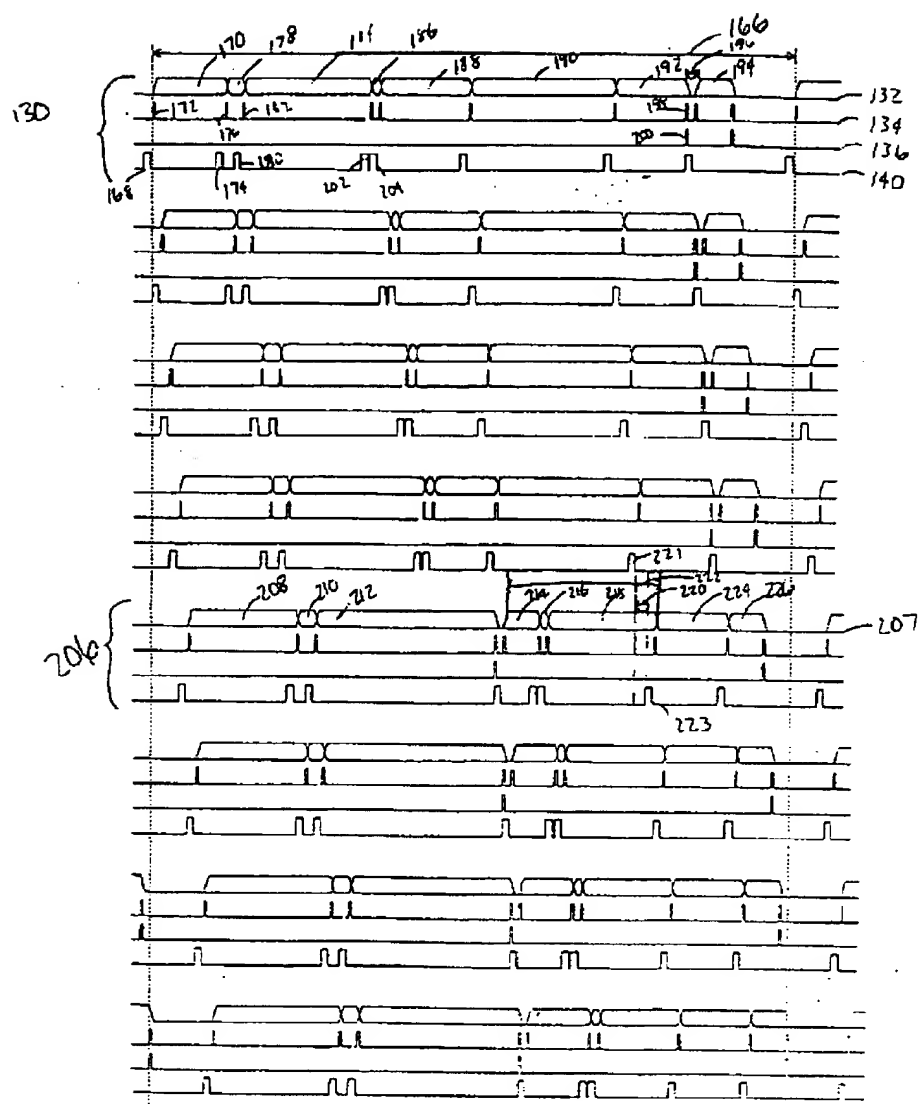
【図8】



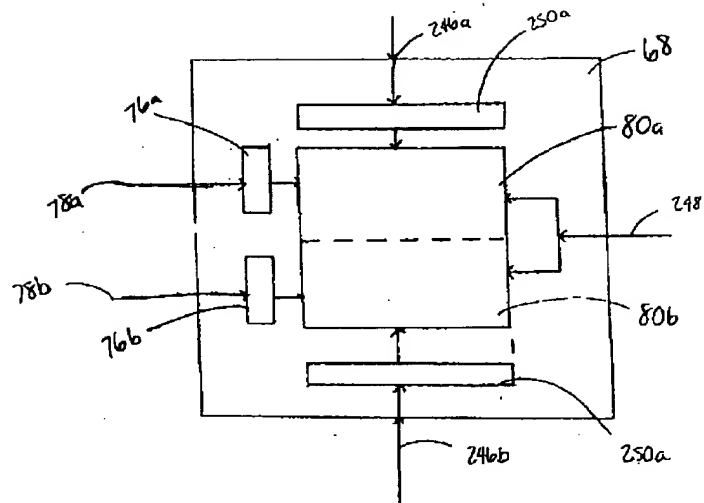
【図6】



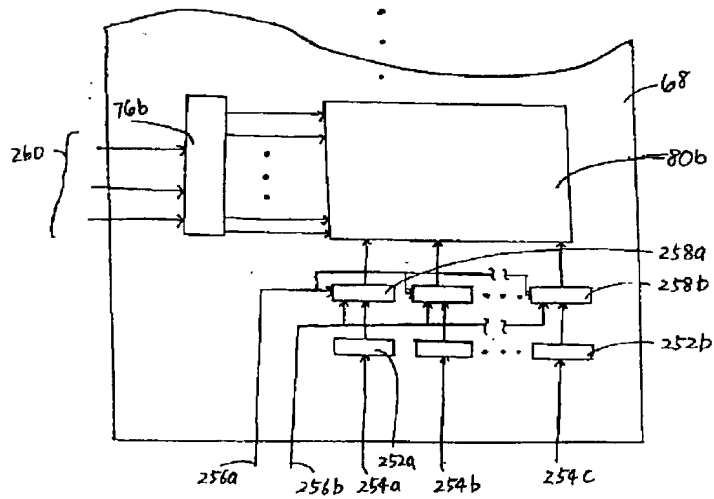
【図7】



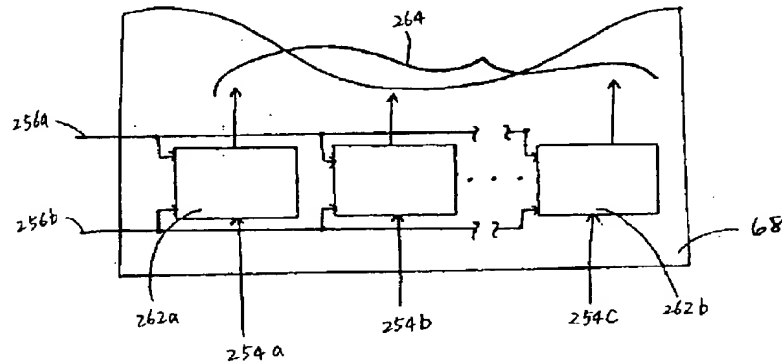
【図10】



【図11】



【図12】



【手続補正書】

【提出日】平成4年6月19日

【手続補正1】

【補正対象書類名】明細書

【補正対象項目名】全文

【補正方法】変更

【補正内容】

【書類名】明細書

【発明の名称】表示システム及び表示方法

【特許請求の範囲】

【請求項1】 a) 標準化複合音声及び映像信号を受信する能力のある受信機と、

b) 映像成分を分離する同調器と、

c) 空間光変調装置と使用されるために前記映像成分を信号の集合に変換するデシメーションプロセスと、

d) 前記信号を記憶するメモリ装置と、

e) 光源と、

f) 映像を生成するために前記光源からの光を変調するように前記記憶された信号によって制御される空間光変調器アレイと、

g) 前記映像を投射する光学系と、を含む表示システム。

【請求項2】 各ビット有意レベルがフレーム時間全体の適当な部分にわたり表示されるようにメモリセルの内容を表示画素上にアドレス指定するステップとローディングするステップとを含むデータ表示方法。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は、光変調器、特に、これらの変調器を使用するシステムに対するアドレス指定及びタイミング技術に関する。

【0002】

【従来の技術】2進光変調器は、2つの状態を有する。

“0”に対応する状態は、光を伝送しない。“1”に対応する他の状態は、どんなシステムが構想下であろうとこれに最大強度で光を伝送する。短く云うと、これらの変調器は、オフ又はオンのいずれかの状態をとる。その結果、その観察者の眼には、黒か最大輝度かの、2つの離散レベルのみが存在する。画素オンオフ状態変化中の中間レベルは、比較的短い持続時間であるために、無視される。その観察者によって知覚されるような光の（アナログに近い）中間レベルを達成するためには、パルス幅変調（以下、PWMと称する）技術が、採用される。

【0003】基本的なPWM方式は次のようである。アナログ映像がその観察者に提示される速度を、決定する。これからフレーム速度（周波数）及び相当するフレーム時間を確立する。例えば、標準テレビジョンシステムにおいては、映像は30フレーム/sの速度で伝送され、各フレームは約33.2ms間続く。

【0004】1つの映像要素（以下、画素と称する）を写像する、フレーム又は映像内の各サンプル点ごとの強度量子化が、達成される。6ビットの量子化を仮定すると、これは、64のうち63が非ゼロであるその64のうちの1に当たる部分を意味する。この例においては、33.3msのフレーム時間を63分割した時間が、タイムスライスに等しい。結果のタイムスライス、すなわち、最下位ビット（以下、LSBと称する）時間は、33.3ms/63、すなわち、528.6μsに等しい。

【0005】これらの時間の確立が済むと、その観察者の見るあらゆる可能なアナログ画素強度が、黒は0タイムスライス、最大輝度63タイムスライスと云うように、尺度化及び量子化される。これらの尺度化及び量子化強度は、画素に対してオン時間をセットし、したがって、画素はそれに相当する数のLSB時間にわたりオン

している。最も簡単な場合、ゼロより多い量子化値を有する全ての画素は、1フレーム時間の開始においてオンにターンされ、かつこれらの画素は、これらに関連するアナログ強度に相当する数のLSB時間にわたりオンを維持する。その観察者の眼は、最大強度の点を積分し、したがって、あたかもこれらの点が時間的に一定アナログレベルの光であるかのように見えるであろう。

【0006】この方式を使用する2進変調器高精細度テレビジョン(HDTV)表示装置に対する最大バースト帯域幅は、次のように計算される。所与のフレーム中の全ての画素が黒と最大輝度との間の強度値を有する最悪の場合を仮定すると、全ての画素はその次のフレームの開始において変化しなければならない。LSB時間は、次のように計算される。

【0007】

水平画素	H=1,920
垂直画素	V=1,080
強度レベル	I=64
フレーム速度	F=30フレーム/s
色数毎フレーム	R=3 (各画素は各色を順序に表示する)

【数1】

$$\text{LSB時間} = \frac{1}{F} * \frac{1}{R} * \left[\frac{1}{I-1} \right]$$

【0008】したがって、これらの値に対して、LSB時間は、176.37μsとなる。この時間期間において、2,073,600画素(1,920×1,080)がロードされなければならない。データ速度は、次によって与えられる。

【0009】

【数2】

$$\text{データ速度} = \frac{H * V}{176.37 \mu s}$$

【0010】このデータ速度は、11.76Gビット/sに等しい。このようなシステムを建設するコストは、禁止的高さである。

【0011】有効データ速度を低下させるPWMを実現するには、多くの方法がある。そのデータを、高度に並列な態様でその画素に入力させることができる。例えば、1つの入力シフトレジスタが各々8つの画素の区域に分割され、かつ各シフトレジスタへ1つのオフチップデータ入力が付加される。1,920の画素に対して、240のシフトレジスタとなり、これらが共通クロックを共用する。したがって、僅か8クロックパルスを使用して、これら240のシフトレジスタに1行のデータをロードすることができる。この結果、データ速度を1/

240に、すなわち、49.1Mビット/sに低下する。

【0012】更に、各シフトレジスタの出力は、並列データラッチを駆動することができる。これらのデータラッチは、これらの入力シフトレジスタが満たされた後にこれらのシフトレジスタの内容を記憶する。これによって、これら入力シフトレジスタは、先行ラッチデータがその画素アレイの選択された行内に記憶されている間に新しい1行のデータを受け入れることが可能となる。その結果、この画素アレイは、入力回路素子の動作速度の1/8の低い速度でアドレスされる。このことは、その画素チップに必要な高速回路素子を限定する。

【0013】この入力シフトレジスタ/並列ラッチ組合わせを、そのアレイの上側と下側に付加することができる。これによって、このアレイの上側半部と下側半部を同時にアドレス指定することが可能になる。したがって、この入力シフトレジスタ/並列ラッチの各セットは、所与のフレーム時間にそのデータの半分を読み取るだけでよい。それゆえ、そのデータ速度は、更に、1/2に低下される。その新しいデータ速度は24.55Mビット/sであるが、しかし、そのピン計数は480である。

【0014】

【発明が解決しようとする課題】このようなアーキテクチャの変更は、その画素アレイへのピン入力データ速度をそのピン計数を増大したと引き換えに劇的に低下させたいけれども、これらの変更はその画素をアドレス指定する方法に制約を課する。単一入力方法は、ランダムアクセスであるが、この型式の修正アーキテクチャはその画素が一時に1行づつアドレス指定されることを必要とする。

【0015】

【課題を解決するための手段】本発明の目的及び利点は、以下に説明される本発明によって提供される可視表示システムによって明白にされ、かつ達成される。本発明のこの表示システムは、その部品として受信機、同調器、及びこの受信機からのデータを観察者に可視可能とする投射システムと光学系を含む。この投射システムは、更に、信号処理装置、デシメーションプロセッサ、メモリ装置、及び光源を有する空間光変調回路を含む。

【0016】その受信データは、或る現存の標準化様式のものであって、この同調器へ送られる。この同調器は、映像信号を分離して、これを信号処理装置へ送り、後者はアナログ-デジタル変換を実行しかつその信号をエンハンスする。この結果のデジタル信号は、デシメーションプロセッサに送られ、ここでこのメモリ装置に対する様式に変換される。このメモリ装置は、このデータを受信しかつ1完全フレームが表示準備をされるまでこの信号を保持する。このメモリ装置は、次いで、この記憶されたデジタル信号をその空間光変調器アレイ

に供給する。この空間光変調器アレイは、このアレイのうちの選択された変調器を偏向させて、その光源からの光を変調する。結果の変調光は、その光学系を通してその観察者へ送られる。

【0017】

【実施例】本発明及びその利点の完全な理解のために、付図と関連する次の説明を参照する。

【0018】図1は、本発明の教示を組み込んだ好適実施例のテレビジョンシステムのブロック線図である。受信機20は、或る標準化様式のテレビジョン信号を受信して、これを同調器22に送る。同調器22は、この信号を音声成分と映像成分に分離する。この信号の音声成分は、これ以上、考慮に入れないことにする。同調器22は、この映像成分、すなわち、映像信号を、信号処理装置23に送り、ここでこの信号にアナログーデジタル変換及び他のエンハンスメントを行う。このステップは、同調器22がアナログ映像信号を出力する場合にのみ必要である。エンハンスされたデジタル信号24は、投射システム26へ送られ、後者はデシメーションプロセッサ28、フレームメモリ装置32、変形性ミラーデバイス（以下、DMDと称する）回路36を含む。デシメーションプロセッサ28は、信号24をフレームメモリ装置32用の様式に変換し、変換された信号30を供給する。変換された信号30はフレームメモリ装置32へ送られ、ここで各完全フレームごとのデータが一括されかつ記憶される。1完全フレームが記憶された後、データ34はDMD回路36へ送られ、後者は映像は発生しこれが光学系38を通して観察者40へ送られる。

【0019】適当なデシメーションプロセッサ28の例が、図2に示されている。エンハンスされたデジタル信号24は、プロセッサ28に、その入力レジスタ27ごとに6ビットサンプルのような或る選択された数のサンプルとして、入る。開示目的上、図示のシステムは、6ビットであり、最上位ビット（以下、MSBと称する）はビット5であり、LSBはビット0である。このような回路は、云うまでもなく、所望のどんなビット数を取り扱うように容易に組み立てられる。

【0020】この6ビットサンプルは、次いで1,920×6ビットシフトレジスタ42へ送られる。シフトレジスタ42が1,920のデータサンプルによって満たされた後、シフトレジスタ42内のデータは、直接接続された“シャドームモリ”43へ送られ、後者も同じく1,920×6ビットである。シャドームモリ43は、各行1,920ビットからなる6行のアレイであると考えられる。所与の行内に記憶されたデータビットは、同じ2進重さである。例えば、シャドームモリ43の行1は1,920の入力サンプルからのビット0データの全てを含み、行2はこのサンプルからのビット1データの全てを含む、等々である。シャドームモリ43内の各行は、読み出しのために、1:6デコーダ44の出力によ

って選択される。所望の行は、デコーダ44に入力する3ビット選択信号46によって指定される。シャドームモリ43からの1,920ビットの選択された行は、次いで、データバス48に印加され、これによってこの行が240の8:1マルチプレクサからなるアレイ52のデータ入力に送られる。水平位置選択用3ビット制御信号50は、同時に全ての8:1マルチプレクサへ送られ、このマルチプレクサは1本の240ビットデータ流信号30を生成する。全て8つの水平位置は、制御信号50によって順序に選択される。

【0021】8:1マルチプレクサに関する本発明の代替実施例は、共通クロック51b及び共通ロード制御51aを備える240の8ビットシフトレジスタを含む。この場合、参照符号52は、マルチプレクサのアレイの代わりにシフトレジスタのアレイを参照する。この場合も、シャドームモリ43からの1,920ビットの選択された行は、次いで、データバス48に印加され、これによってこの行が240の8:1シフトレジスタのアレイ52のデータ入力に送られる。ロード制御51aは、データバス48の内容を240の個々の8ビットシフトレジスタからなるアレイ52内に記憶させるように作動される。次いで、8つの逐次パルスが共通クロック51b上に印加され、後者はこのシフトレジスタ内のデータ流信号30を出力させる。各水平位置ごとのデータ流信号30は、フレームメモリ装置32へ送られる。

【0022】両実施例において、デシメーションプロセッサ28は、逆写像機能を遂行する。各6ビットの1,920の入力サンプルは、これらのサンプルが1,920ビットの6つの出力サンプルとしてアクセスされるように記憶される。これらの6つの出力サンプルは、次いで、多重化されて、その結果、デシメーションプロセッサ28からの出力接続の数を最少化する。この出力多重化は、また、このデータの様式をそのDMD回路の入力データ様式に整合させるように働く。上述の実施例は、単色システム用である。色彩システムを達成するために、そのデシメーションプロセッサ28を、必要に応じて重複させることができる。

【0023】図3aは、フレームメモリ装置32の単色における実現を示す。信号24は、デシメーションプロセッサ28を経由して変換され、かつデータ流信号30としてフレームメモリ装置32に送られた後、2つの映像フレームメモリ56aおよび56bの1つに送られる。もしメモリ56aが現在表示されつつあるならば、データ流信号30は、スイッチ54によってフレームメモリ56b内の場所に送られる。データ流信号30が送られる先のメモリセルアレイ60b内の場所は、アドレスポイント58bによって指定される。メモリセルアレイ60bは、個々のサブアレイを含み、これらの1つのサブアレイは61bである。メモリセルアレイ60b内に記憶されつつあるフレームに対する同様の重み（有意

性)のデータビットの全ては同じサブアレイに記憶され、これらの1つがサブアレイ61bである。このシステムがメモリ56aの内容の表示を終了したとき、メモリ56bの内容は、メモリセルアレイ60bの出力バス63b及びスイッチ64を経由してこのシステムへ送られる。色彩を持つためには、この方式は、デシメーションプロセッサ28に必要なだけ重複される。

【0024】個々のサブアレイ61bの分解図が図3bに示されている。サブアレイ61bは、小さいセルの行に分割される。行の群57a又は57bは、1映像線のデータを含む。1,920×1,080アレイの半分が一時にアドレス指定されるこの実施例においては、行の群57aは線1を表示し、行の群57bは線540を表示する。セル59aは、線1、画素0に対するデータを保持する。セル62aは、線1、画素7に対するデータを保持する。その列内のこれら2つのセル間の残りのセルは、線1に対する画素1～6に対するデータを保持する。同様に、セル59bは、線1、画素8に対するデータを保持する。セル59cは、線1、画素1,904に対するデータを保持し、セル59dは線1、画素1,912に対するデータを保持する。線1内の最後の画素、すなわち、画素1,919はセル62b内に保持される。このデータはバス63bを経由しかつスイッチ64を通り、DMDアレイに送られる。しかしながら、この方式は、図3aに示される個々のサブアレイの各々ごとに、このシステム内の多数の映像線に対して繰り返される。

【0025】色彩システムに対する本発明による他の実施例は、図3cに示されている。その映像信号は、線路24a、24b、及び24cを経由して3つのデシメーションプロセッサ28a、28、及び28cへ供給される。デシメーションプロセッサ28a、28、及び28cは、変換されたデータを線路30a、30b、及び30cに沿ってバス線路65へ送る。バス線路65上のデータは、アドレスポインタ58によって指定されたメモリ場所内へロードされる。ポインタ58は、次いで、メモリセルアレイ60を色によってロードする。メモリセルサブアレイ64aの上側3分の1は色1用であり、中間3分の1は色2用であり、下側3分の1は色3用である。個々のサブアレイ67は、ここに示されている他のサブアレイと同等であって、図3bに詳細に示されたものと類似である。このようにして処理されたデータは、全ての色のDMD回路への順序送付を誘導する。

【0026】DMD集積回路の1実施例が、図4に示されている。フレームメモリ装置32からのデータは、図1のデータ34のバス線路を経由して集積回路チップ68に送られる。データ34のバス線路は、実際には、2本のバス34a及び34bに分割される。バス34aはこのDMD集積回路チップ68のDMDアレイの上側半部に対するデータを伝送し、バス34bはこのDMDアレイ

の下側半部に伝送する。このデータは、シフトレジスタ70aに送られる。レジスタ70aが満たされたとき、このデータは並列ラッチ74aへ送られる。線路72aの集合が、シフトレジスタ70a及び並列記憶ラッチ74aのローディングを制御する。データがラッチされた後、このデータは、1,820×1,080の実際のDMDアレイ80の上半分に送られる。これらの変形性ミラー(以下、DMミラー又は単にミラーと称する)下のアドレス指定回路の行は、行デコーダ76aを通して行選択線路78aによって選択される。同時に、同じ動作が、DMDアレイ80の下半部に対して起こる。アレイ80のDMミラーは、アドレス指定されかつ偏向されて、画像を生成し、この映像が光学系を通してその観察者へ送られる。

【0027】この点から、このDMD表示システムは、DMD画素アレイ、入力シフトレジスタ及びラッチ、行選択デコーダを含む。このアーキテクチャを、いま、修正して、図5のブロック形内に示されるように、このDMDの選択されたブロック内の画素の全てを短い時間量内にオフ状態にスイッチすることが可能なようにする。並列記憶ラッチ74は、図5のクリヤ線路92を含むように修正される。クリヤ線路92は、作動されると、そのデータにこのDMDアレイ内の列を駆動させて、これらの列をオフ画素位置に相当する状態にセットする。更に、行選択されたデコーダ76を修正していくつかの選択線路を付加し、これらが、90aのような行の1ブロックを同時に選択するように働く。

【0028】画素の1ブロックをオフ状態にセットするために、並列記憶ラッチ74にクリヤ線路93が作動される。次いで、オフ状態にスイッチされるべき画素行のブロックに対するブロック選択線路84が、作動される。最後に、リセットパルスが個々のビームのDMミラーに印加され、このミラーはそのオフ状態へ偏向される。図5には、行の8つのブロックが示され、かつ所与のブロックの行が連続しているが、この配置に限定される必要はない。ブロックの数を1と設計者の構想する数との間で変えてもよい。また、これらのブロック内の画素の行を、連続配置の代わりに、インタリーブ(又はその他の)配置に接続してもよい。図6aに、標準アドレス指定方式に対するタイミング線図が示されている。線94は、フレーム時間を示す。線96は、データの各々異なる2進重みごとの時間量に相当するセグメントを示す。セグメント98は、このシステムのMSBに対する表示時間期間である。この場合、MSBはビット5であり、このシステムは6ビットシステムであるから、ビット5は32LSB時間からなる表示時間であるセグメント98を有する。セグメント100は、次のビット、すなわち、ビット4に対する表示時間期間であり、したがって、このビットは16LSB時間からなる表示時間を有する。同様に、セグメント102はビット3に対する

表示時間であり8LSB時間を持ち、セグメント104はビット2に対する表示時間であり4LSB時間を持ち、セグメント106はビット1に対する表示時間であり3LSB時間を持ち、最後に、ビット0に対する表示時間はセグメント108で示され1LSB時間を持つ。

上述の時間セグメント中のそのミラー状態又は表示時間は、線110に示されている。データロードパルスは線112に示され、及び、直前にロードされたデータビットによって指定された次順の状態にそのビーム金属をセットするようにこれらに印加されるビームリセットパルスは線114で示される。ミラー状態又は表示時間116は、次の過程によって達成される。データが、ロードパルス、すなわち、ロード時間118によって示される時間期間中にビット5に対する電極にロードされる。リセットパルス120がこれらのミラーをリセットすることによってフレーム時間を開始し、データロード時間118中にロードされた新しいデータを示す。ビット5に対する表示時間116開始後31LSB時間経ち、4ビットに対するデータがロード時間122中にロードされる。ロード時間122の終端は、ビット5に対する表示時間116の終端と同時に起こり、この終端において、リセットパルス124がこれらのミラーを新しい表示時間126の状態にセットする。この過程は、ビット3、2、1及び0に対しても同様に繰り返される。1つの完全フレームをロードしかつ表示する時間は、一定である。この例においては、フレームを示す線時間94は、 $(3 \times 2 + 1 \times 6 + 8 + 4 + 2 + 1 = 63 \text{ LSB時間})$ に分割され、それゆえ、各LSB時間は全フレーム時間の1/63である。

【0029】最低ピークデータ速度は、所与の重みのビットの全てがこのDMDアレイにロードされなければならない最短時間区間によって決定される。図6aにおいては、所与の重みのデータの全てをロードする時間は1LSB時間であった。所与のフレームからの同じ2進重みの全てのデータビットの収集は、ビットフレームと称される。6ビットシステムの場合は、フレーム当たり6つのデータビットフレームが存在する。おそらくほとんどの場合、DMD表示システム性能の他の態様を犠牲にすることによって、このピークデータ速度を低下させることが望ましい。図6bは、これが、図5に示されたブロックアーキテクチャを使用することによっていかに完成されるかを示す。

【0030】図6bにおいて、フレーム時間は、線128上に示される。線群130は、図5にブロック90aとして示された、このアーキテクチャ内の最初のブロックに対するタイミング線図を構成する。線132はミラー状態又は表示時間であり、線134はミラーリセットパルスを示し、線136はアドレス指定クリヤパルスを示し、及び線140はデータロードパルス、すなわち、ロード時間を示す。セグメント156におけるように、

線132が低状態をとっているように示されているときは、これらのミラーの全てはオフ状態にあることに、注意されたい。アドレス指定クリヤ線140は、図5において先に論じられたクリヤ線路及びブロック選択順序を表現している。この表現は、図6a、図6b及び図7に使用される。ミラー状態又は表示時間138は、ロード時間140中にブロック90aに対してデータのMSB、すなわち、ビット5をロードし、かつこれらのミラーをリセットパルス142で以て新しいデータヘリセットすることによって、達成される。ミラー状態138の開始後の1LSB時間に、ブロック90bに対するデータのMSB、すなわち、ビット5が既にロードされている。ブロック90bに対する線146上のミラー状態144は、そのリセットパルスの直後にロードされたデータの状態へ変化する。データのローディングとその表示との1LSB時間だけのこのような位相シフトは、他のブロック90c~90hを通して、同様に、行われる。

【0031】31LSB時間区間を挟んで、ブロック90aのビット4に対するデータがロードパルス、すなわち、ロード時間148中にロードされる。ロード時間148中にロードされるこのデータは、ミラー状態150に対応する。ビームリセットパルス152によって、これらのミラーは、ミラー状態150に対応するデータへ変化させられる。ミラー状態150は、16LSB時間にわたり保持される。この過程が、ブロック90aのビット2に対するミラー状態154まで続く。このパルスに対する重付けは4LSB時間だけであり、かつこの表示システム全体をロードするのに8LSB時間（ブロック当たり1LSB時間）かかるから、ブロック90e~90hのビット2に対するデータは、まだ、ロードされてしまっていない。この状況に適合するために、ブロック90a内のミラーは、セグメント156としてブロック90aに対して示される、4LSB時間の時間期間にわたりターンオフされる。このオフ状態を達成するために、アドレス指定クリヤパルス160が起こりかつビームリセットパルス162が起こって、これらのミラーをオフ状態にリセットする。これらのミラーは、4LSB時間にわたりオフ状態を維持する。この期間開始後3LSB時間経ち、ブロック90aのビット1に対するデータがロード時間164中にロードされる。このような過程が、このビット1及びその次のビットに対しても、繰り返されるが、ただしそれらのオフ時間はビット1に対しては6LSB時間、及びビット0に対しては7LSB時間と云うように増大する。したがって、データの1フレームをロードしかつ表示する全フレーム時間は、いまま、上に論じた標準アドレス指定方式の場合の63LSB時間に4オフLSB時間と、6オフLSB時間と、及び7オフLSB時間とを加えた、合計80LSB時間となる。フレーム時間は一定であるから、この例におけるLSB時間は、全フレーム時間の1/80となり、こ

の例におけるLSB時間を図6aにおけるLSB時間より短くする。図6bに示されたアドレス指定方式は、公称、8の率だけピークデータ速度を低下する。このことは、図6aにおいて1LSB時間内にロードされた数の $1/8$ の数の画素のみが図6bにおける1LSB時間にロードされると言う事実起因している。しかしながら、図6a及び図6bにおいて、フレーム時間は等しくても、対応するLSB時間は異なる。図6aにおいてはそのLSB時間はフレーム時間の $1/63$ であるが、他方、図6bにおいてはそのLSB時間はフレーム時間の $1/80$ である。LSB時間に差異があるため、図6aにおけるアドレス指定方式の代わりに図6bにおけるアドレス指定方式を使用することから生じるデータ速度の実際の低下は、 $8:1 \times (63/80) = 6.3:1$ となる。

【0032】図6bに示されたアドレス指定方式はピークデータ速度をかなり低下させたけれども、この低下は光学効率の犠牲において行われた。図6aにおいて、もし1つの画素が最高輝度にあったとしたならば、この画素は63LSB時間のうち63LSB時間にわたりオンするであろうから、これは100%のアドレス指定効率に当たる。しかしながら、図6bのアドレス指定方式を使用すると、もし1つの画素が最高輝度にあったとしても、この画素は80LSB時間のうちの63LSB時間に対してのみオンするであろう、これはこのいずれの画素も17LSB時間にわたり必ずオフするためであり、この結果、光学効率は約79%になる。

【0033】図6bのアドレス指定方式の光学効率を上昇させ、他方、DMDへの低下ピークデータ速度を維持することが、望ましい。図6bの方式の光学効率を上昇する1つの方法は、それらのミラーが必ずオフするLSB時間の数を減らすことである。図7は、図6bの方式の僅かな変更であって、この目的を達成する。有利な面としては、この方法においては、なおまた、図6bの方式のピークデータ速度を僅かに低下する。図7において、そのフレーム時間は、線166によって示される。線群130は、やはり、ブロック90aに対する重み信号を示す。線132は、やはり、ミラー状態又は表示時間であり、線134はビームリセットパルスを示し、線136はアドレス指示クリアパルスであり、及び線140はデータロードパルス、すなわち、ロード時間を示す。この方式においては、ビット5、すなわち、MSBに対するデータがロード時間186中にロードされ、それらのミラーはリセットパルス172で以てリセットされ、かつそのデータが8LSB時間のミラー表示状態170にわたり表示される。この表示期間開始後7LSB時間経ち、ビット1に対するデータがロード時間174中にロードされ、かつリセットパルス176で以てこれらのミラーをオンにセットする。このデータは、ミラー状態178にわたり表示され、この時間が2LSB時間

の1ビットに対して要求時間を満たす。ビット5に対するデータが、次いで、ロード時間180中にこれらのミラーに再ロードされ、かつこれらのミラー表示状態がリセットパルス182によってビット5の状態へ復帰変化させられる。ビット5に対するデータは、16LSB時間に等しいミラー状態184にわたり表示される。それゆえ、この時点において、ビット5に対するデータは、その全要求LSB時間の $3/4$ である24LSB時間にわたって既に表示されている。ビット0に対するデータは、ロード時間202中にロードされ、かつビット0に対する要求時間を満たす1LSB時間のミラー状態186にわたり表示される。ビット5に対するデータは、次いで、ロード時間204中に再ロードされ、かつ8LSB時間のミラー状態188にわたり表示され、この結果、その全表示時間を32LSB時間に増大し、これによって、その2進重みによって指定されたその要求を満たす。ミラー状態190はビット4に対し、ミラー状態190はビット3に対し、及びミラー状態194はビット2に対する。これによって、これらビットの全てが、それらの2進重みに従い、それらの適正な時間量にわたり表示されるための要求を満たす。

【0034】ブロック90a~90dに対するタイミング線図は、これらが位相シフトする以外は、同じである。しかし、これは、ブロック90a~90dをブロック90e~90hと比較するときは、当て嵌まらない。ブロック90eに対するタイミング線図は、線群206で示されている。そのデータは他のブロックの全てにおけるのと同じようにロードされかつ表示されるので、ミラー状態又は表示時間を示す線207についてのみ論じる。ビット5は、8LSB時間である表示時間208にわたり表示される。ブロック90aと同様に、ビット1に対するデータがロードされ、かつ表示時間210にわたり表示され、この時間は2LSB時間であり、これによってその要求を満たす。ビット5は、再び表示時間212にわたり表示され、この時間は24LSB時間であり、その要求を満たす。これは、ブロック90aとは異なることに注意されたい。この線図上の時間222は、ビット4を表示するのにかかる全時間を示す。ビット4は、4LSB時間の表示時間214にわたり表示されるが、しかし、次いで、ビット0に対するデータがロードされ、かつ1LSB時間にわたり表示される。ビット4は、再ロードされ、かつその要求を満たすために、12LSB時間の表示時間218にわたり表示される。この結果、時間222は17LSB時間であって、標準化されている16LSB時間ではない。この長い時間が、ブロック90dと90e上の、それぞれのデータロードパルス221と223との間のギャップ220を生じる。このようなギャップは、また、ブロック90a~90cにおいても生じる。ブロック90aを見ると、ギャップ196が表示時間192と194との間にあることが判

る。これは、ビット3が完全にロードされるまでは、ビット2をロードすることができないと云う事実に由来する。ビット3は、8LSB時間だけ後になるまではブロック90h内にロードされず、これは4ビットに対するデータの表示中に、ビット0をロードすることによってブロック90e内に生じるギャップのためである。結果の全表示時間は17LSB時間であり、これは図6bにおいて論じられた方式より短く、図6aにおける方式より低いデータ速度を有する。また、この方法に関連するリセットパルス数は、かなり多くなる。

【0035】所与のフレーム時間内にリセットパルスが多くあることに関連する影響を回避することが望ましく、それゆえ、これらの潜在的影響を回避するようなDMDアドレス指定方法が望まれる。図8は、1つのこのようなアドレス指定方法であって、全アドレスリセット（以下、TARと称する）方法と呼ばれる。このTAR方法と上に論じたビット期間分割方法との間には、3つの主要な相違がある。

【0036】第一の相違は、TAR方法においてはそのリセットパルスがその画素に印加される前にそのDMD全体が特定のビットに対するビットフレームデータをロードされるが、他方、ビット期間分割方法はそのDMDの一部（1ブロック）をロードし、次いで、リセットパルスをそのDMD全体に印加する。第二に、TAR方法においては、そのDMD全体が8LSB時間内にロードされる。ビット期間分割方法においては、そのDMD全体が各1ビットフレームずつの8つの時間区間であつて、これらを全体として前者と同じフレーム時間になる、時間区間内にロードされる。最後に、TAR方法の場合、ローディングデータと観察データとの間には少量の重複がある。

【0037】図8において、線280は、その観察者がどんなミラー状態を見るかを示している。この観察者は、32LSB時間に等価な時間期間にわたりオンにあるビット5、230aを見、これに続くビット5の時間の半分にわたりビット4、230bを見る。このパターンは、ビット2、230dとビット1、230eとの間の時点に到達するまで続く。この時点において、これらビットの全ての時間期間が実際にオフになる。この現象は人間の眼の臨界フリッカ周波数より遥かに高いから、もとより、実際には、この観察者は、これを見ることはできない。適当な時間量の後、ビット0、230fが表示される。

【0038】線232は、データローディングのタイミングである。ローディング時間の各々、すなわち、232a~232fは、8LSB時間に等しい。ビット5、232aは、線288上に示されたビット5に対する表示時間の直前にロードされる。同様に、全てのビットは、線280上の表示時間の直前にロードされる。ローディング時間は、各ビットに対して同じである。線23

4はアドレスリセット線路であり、また、線236はビームセット線路である。アドレスリセットは、短い時間量中にこのアレイ内の全ての画素をリセットする。それらのビームへ送られるリセットパルスの数は、相当に減少される。このことが、これらのビームの機械的部分の摩耗および裂傷をなくす。

【0039】上に論じた過程を可能とするアーキテクチャの実現は、図9に示されている。図4に示された簡単なDMD集積回路チップ68が、DMD上位階層240の一部となる。バス34a及び34bは、8:128デマルチプレクサ242a及び242bを経由してこの回路内に到来する。結果の信号は、先入れ先出し（以下、FIFOと称する）バッファ244aから244d、及び244bから244cへの16ビット線路に送出される。FIFOバッファ244a~244dの出力は、線路246a及び246bを経由してDMD集積回路チップ68へ転送される。線路78を経由してDMD集積回路チップ68に入る制御信号は線路選択信号であり、線路248を経由して入るのはフレームリセット信号である。

【0040】DMD集積回路チップ68の分解図が、図10に示されている。バス線路246a及び246bからのデータは、1:8×128マルチプレクサ250a及び250bを経由して上側DMDアレイ80a及び下側DMDアレイ80bに入る。線路選択信号78は、下側DMDアレイ80bに対するデコーダ76bに入る下側線路選択信号78bと、上側DMDアレイ80aに対するデコーダ76aに入る下側線路選択信号78aとに、分割される。線路248上のフレームリセット信号も、また、上側DMDアレイ80aと下側DMDアレイ80bとに、それぞれ、アクセスするように分割される。この改訂アーキテクチャは、上に論じた互いに異なる方式の他、更に多くの他の方式に適合し、このDMDを極めて汎用性かつ融通性とする。

【0041】更に、追加のエンハンスメントを、速度を向上するために上述のアーキテクチャに施すこともできる。このようなエンハンスメントの1つは、正規入力データを選択することも又は一定入力データを選択することもいずれもできるような、データ入力構造を持つことである。このようなエンハンスメントは、図11に示されている。データが単一である正規データ入力の場合は、線路254aから254cを通して供給される入力データマルチプレクサ252aから252bの出力は、そのアレイの列を駆動するために選択される。データが一定である強制データ入力の場合は、線路256a及び256b上のデータがこれらの列に印加される。このデータの選択は、マルチプレクサ258a及び258bによって達成される。これによって、一定データを、強制マルチプレクサ258a、258bの速度及び多数の又は個々の行選択を決定する信号を入力線路260を通し

て供給される行選択デコーダ76bの速度によって限定される速度で、このDMDAレイの下側レイ80bの行に印加することが、可能となる。

【0042】このようなエンハンスメントの他の1つは、それらの行を単独で又は群でアドレス指定できるようなデコーダを構成することによって多数の行が同時にアドレス指定されることを可能とする。この群化は、その所与の応用を最大に利するように構成される。それゆえ、この群化は、行のいかなる数及び組合せをも単一の群としてアドレス指定することができ、かつ群のいかなる数をも規定することができるように、なされる。群のこの規定は、したがって、デコーダの構造を指定することができるようにプログラマブルに作られる。この実現は、図12においてシフトレジスタ入力構造として示されており、この構造は線路134aから134cを通して入力を受信しかつこれを線路140を通してそのDM Dに送る入力シフトレジスタ142aから142bを有する。

【0043】本発明について表示システム及びそのアーキテクチャの特定の実施例を説明したが、このような特定の参照実施例が、先に掲げた特許請求の範囲に記載された限り以外において本発明の範囲を限定するものと考えてはならない。

【0044】以上に説明に関して更に以下の項を開示する。

(1) a) 標準化複合音声及び映像信号を受信する能力のある受信機と、b) 映像成分を分離する同調器と、c) 空間光変調装置と使用されるために前記映像成分を信号の集合に変換するデシメーションプロセッサと、d) 前記信号を記憶するメモリ装置と、e) 光源と、f) 映像を生成するために前記光源からの光を変調するように前記記憶された信号によって制御される空間光変調器アレイと、g) 前記映像を投射する光学系と、を含む表示システム。

【0045】(2) a) サブアレイに分割された空間光変調要素アレイと、b) 各前記サブアレイごとに少なくとも1つのデコーダを有するデコーダアレイと、c) 各前記サブアレイごとに少なくとも1つの入力レジスタを有する入力レジスタアレイと、を含む集積回路チップ。

【0046】(3) 第2項記載の集積回路チップにおいて、前記各サブアレイはブロックに分割され、前記ブロックは前記デコーダアレイを通る線路入力によって選択され、前記ブロックは前記入力レジスタを通る線路によって選択され、前記入力レジスタはシフトレジスタである集積回路チップ。

【0047】(4) 第2項記載の集積回路チップにおいて、前記入力レジスタアレイは前記サブアレイ当たり少なくとも1つのデマルチプレクサを有するデマルチプ

レクサアレイであり、前記デマルチプレクサは先入れ先出しバッファアレイに電氣的に接続され、前記先入れ先出しバッファアレイの有するバッファは第2前記デマルチプレクサアレイに電氣的に接続される集積回路チップ。

【0048】(5) 第4項記載の集積回路チップにおいて、前記各サブアレイは他の前記サブアレイから独立に電気信号によってリセットされる集積回路チップ。

【0049】(6) a) デシメーションプロセッサと、b) 前記デシメーションプロセッサに電氣的に接続された少なくとも1つの入力バッファと、c) 前記バッファの制御バス出力線路と、d) 少なくとも1つの入力シフトレジスタと、e) 少なくとも1つのメモリセルアレイと、f) 少なくとも1つの出力シフトレジスタと、g) 前記出力シフトレジスタと空間光変調回路との間に電氣的に接続された制御バス線路と、含むメモリ装置。

【0050】(7) 第6項記載のメモリ装置において、複数の前記入力バッファを有する入力バッファアレイが存在し、各前記入力バッファはスイッチ可能バスを経由して少なくとも2つの前記入力レジスタに電氣的に接続され、前記入力レジスタは各前記コーナターニングメモリに電氣的に接続され、前記各コーナターニングメモリは前記出力バッファに電氣的に接続され、前記出力バッファは前記空間光変調回路にスイッチ可能バスを経由して電氣的に接続されるメモリ装置。

【0051】(8) 第6項記載のメモリ装置において、前記入力バッファアレイの前記入力バッファの全ては1つの前記入力シフトレジスタにバスを経由して電氣的に接続され、前記入力バッファの出力は色によって順序に前記バスに載せられ、前記入力シフトレジスタは前記コーナターニングメモリに電氣的に接続され、前記各コーナターニングメモリは前記空間光変調回路へデータの色ブロック順序を出力するメモリ装置。

【0052】(9) 各ビット有意レベルがフレーム時間全体の適当な部分にわたり表示されるようにメモリセルの内容を表示画素上にアドレス指定するステップとローディングするステップとを含むデータ表示方法。

【0053】(10) 指定された有意レベルのビットの全てが同時にロードされかつ表示されるようにメモリセルの内容を表示画素上にアドレス指定するステップとローディングするステップとを含むデータ表示方法。

【0054】(11) 第10項記載の表示方法において、前記メモリセルの内容が単一でないとき一定データ値が前画素上にロードされるデータ表示方法。

【0055】(12) 第10項記載の表示方法において、前記アドレス指定するステップは前記メモリセルの行を同時にアドレス指定するデコーダの使用を含むデータ表示方法。

【0056】(13) 第10項記載の表示方法におい

て、前記アドレス指定するステップは前記メモリセルの行を同時にアドレス指定しかつ前記行の群を同時にアドレス指定するデコーダの使用を含むデータ表示方法。

【0057】(14) 観察者が見る解像度を向上するためにテレビジョン内の標準装置を空間光変調回路68で置換することが可能である。本発明は、バーストデータ速度を最低化する一方、合理的なシステム速度を維持するためのシステムアーキテクチャ240、前記システムの個々の部品、及び技術を提供する。結果のシステムは、取り扱い可能なデータ速度及び帯域幅で以て高解像度を提供する。

【図面の簡単な説明】

【図1】本発明による好適実施例のテレビジョンシステムのブロック線図。

【図2】図1のシステム内に使用されるのに好適なデシメーションプロセッサの詳細ブロック線図。

【図3】図1のシステム内に使用されるフレームメモリ装置のブロック線図であり、aは、単色フレームメモリ装置の詳細ブロック線図。bは、aのメモリ装置内の個々のメモリセルサブアレイの分解図。cは、色彩フレームメモリ装置の詳細ブロック図。

【図4】図1のシステム内に使用されるDMD集積回路チップのブロック線図。

【図5】図4のDMD集積回路に関する本発明による実施例のブロッククリヤリングアーキテクチャのブロック線図。

【図6】aは、デシメーションプロセッサで変換されたデータを使用するPWMアドレス指定タイミング線図。bは、本発明によるブロッククリヤリングアーキテクチャのタイミング線図。

【図7】本発明によるブロッククリヤリングアーキテクチャを使用する、ビット期間分割アドレス指定タイミング線図。

【図8】本発明による全アドレスリセット(TAR)アドレス指定タイミング線図。

【図9】本発明による実施例の、集積回路チップを備えるDMD上位階層のブロック線図。

【図10】本発明による実施例のDMD集積回路チップの分解図。

【図11】本発明による実施例の強制データ及び多数同時行アドレス指定エンハンスメントDMD集積回路チップ内の配置を示すブロック線図。

【図12】本発明による代替実施例の強制データ及び多

数同時行アドレス指定エンハンスメントDMD集積回路チップ内の配置を示すブロック線図。

【符号の説明】

- 20 受信機
- 22 同調器
- 23 信号処理装置
- 26 投射システム
- 27 入力シフトレジスタ
- 28 デシメーションプロセッサ
- 32 フレームメモリ装置
- 36 DMD回路
- 42 シフトレジスタ
- 43 シャドーメモリ
- 44 デコーダ
- 48 データバス
- 51a 共通クロック
- 51b 共通ロード制御
- 52 マルチプレクサ又はシフトレジスタアレイ
- 56 映像フレームメモリ
- 58 ポインタ
- 59a~59c メモリセル
- 60 メモリセルアレイ
- 60a, 60b メモリセルアレイ
- 61a, 61b メモリセルサブアレイ
- 62a, 62b メモリセル
- 64 スイッチ
- 67 メモリサブアレイ
- 68 DMD集積回路チップ
- 70a, 70b シフトレジスタ
- 74a, 74b 並列記憶ラッチ
- 76, 76a, 76b デコーダ
- 78 線路選択信号線路
- 80 DMDアレイ
- 80a, 80b DMDサブアレイ
- 84 ブロック選択線路
- 90a, 90b DMDブロック
- 92, 93 クリヤ線路
- 120a~120d FIFOバッファ
- 124a, 124b デマルチプレクサ
- 126 フレームリセット信号
- 130a, 130b 入力データマルチプレクサ
- 136a, 136b 強制マルチプレクサ